



VÝSKUMNÝ ÚSTAV
VYPOČTOVEJ TECHNIKY

**Udelené autorské osvedčenia na patenty
riešiteľom programu výskumu a vývoja
RPP-16 a SMEP
vo VVL a VÚVT Žilina**

© doc. Ing. Ladislav Schwartz, CSc.

2026

OBSAH

ČESKOSLOVENSKÉ RPP-16	4
AO 166139 – M. Gábik: Snímací zesilňovač inovovanéj feritovej operačnej pamäti. 1974/1976	5
ZAHRAŇIČNÉ SMEP	6
210578 NDR – Hronec R.: Unbesetzt Programmierbares Matrix. 1983/1986	7
1291959 ZSSR – Hronec R.: Programiruemaja logičeskaja matrica. 1982/1986	8
ČESKOSLOVENSKÉ SMEP	9
AO 218058 – Gáborík A.: Zapojenie vyhodnocovacieho súboru zabezpečovacieho zariadenia pre lanové dráhy a vleky. 1979/1984	10
AO 220852 – Gáborík A., Púpava M.: Zapojenie polovodičového snímača teploty s dostaviteľnou prevodovou charakteristikou teplota – napätie. 1980/1986	15
AO 220923 – Hronec R.: Voľne programovateľné logické pole. 1980/1986	19
AO 221651 – Vrabec D.: Zapojenie pre reguláciu výstupného napätia striedača číslicovými integrovanými obvodmi s komparátorom. 1980/1986	25
AO 229537 – Hlušek J., Schwartz L.: Zapojenie synchronného adaptéra – D. 1982/1986	28
AO 230881 – Brezáni V.: Zapojenie pre nabíjanie akumulátorov. 1982/1986	35
AO 231520 – Hlušek J., Schwartz L.: Zapojenie synchronného adaptéra pre počítačové systémy so spoločnou zbernicou a synchronnou komunikáciou v procedúrach bytovo orientovaných označovaného písmenom B. 1982/1986	40
AO 232204 – Tučková V., Kokeš J.: Riadiaca jednotka informačných tabúl. 1983/1987	47
AO 237898 – Patúc J., Kirner J.: Zdroj napätia pre pamäť CMOS s nabíjačom akumulátora. 1984/1987	60
AO 249878 – Podstanický Ig.: Zdroj jednosmerného napätia pre štartovanie impulzne regulovaných zdrojov napätí. 1984/1988	65
AO 249944 – Janičina M., Hrušovský J.: Zapojenie generátora analógových signálov pre zobrazenie bodov, vektorov a rastra znakov. 1985/1988	69
AO 252735 – Perko P., Schwartz L.: Zapojenie elektronického bytového rozdeľovača nákladov na vykurovanie. 1985/1988	74
AO 252863 – Podstanický Ig.: Zapojenie impulzného zdroja jednosmerného napätia. 1984/1988	79
AO 253403 – Hrabovec L., Vrabec D., Bareš M.: Zapojenie trojfázového rezonančného striedača. 1983/1988	82
AO 256717 – Hottmat V., Schwartz L.: Zapojenie spolupráce radičov priameho prístupu do pamäte a sériového vstupu a výstupu z rôznych systémových stavebníc prvkov. 1985/1988	85
AO 256718 – Schwartz L.: Zapojenie komunikačného modulu lokálnej siete. 1985/1988	91

AO 257115 – Bizík J., Schwarz J., Šikulínek V.: Zapojenie k spracovaniu sériových dát generovaných mechanizmami pružných diskov. 1986/1988	97
AO 257129 – Bielík V.: Hlavica pre viacfarebnú tlač. 1986/1988	102
AO 259276 – Hronec R.: Zapojenie obvodu pre samočinnú kontrolu kódu 1 z 10. 1986/1989	105
AO 260774 – Hlušek J., Patúc J.: Zapojenie telegrafného adaptéra pre počítačové systémy so spoločnou zbernicou. 1986/1989	111
AO 260780 – Janičina M.: Generátor zložky napätia pre vytvorenie vektorov a bodov na zariadeniach zobrazujúcich v pravouhlej súradnicovej sústave. 1986/1989	117
AO 264826 – Štěpánek J., Heglab L.: Synchronný klopný obvod s funkciou zachytenia význačného signálu. 1986/1989	123
AO 266973 – Očkaik D., Vinohradský T.: Zapojenie riadiaceho modulu vonkajších pamätí. 1987/1990	127
AO 267061 – Znamenáček Z., Lajda J., Štěpánek J., Heglas L.: Valcový rozvod vodičových spojov medzi doskami plošných spojov. 1986/1990	139
AO 267154 – Bizík J., Šikulínek V.: Zapojenie pre simuláciu systémovej zbernice osobných počítačov. 1986/1990	143
AO 269557 – Vrabec D., Mazák M., Mihálik M., Valiga., Líška R.: Zapojenie regulátora riadenia pohonov s tranzistorovým impulzovým meničom. 1987/1991	147
AO 269598 – Kirner J., Lajda J.: Generátor adresy pre dynamické pamäte. 1988/1991	151
AO 271741 – Kirner J., Lajda J.: Obvod riadenia cyklu a prenosu informácie pre dvojportové pamäťové zariadenie. 1988/1990	157
AO 272459 – Heglas L., Štěpánek J.: Zapojenie integrovaného obvodu testerového rezu. 1988/1991	159
AO 272494 – Kirner J., Lajda J.: Obvod riadenia dynamických pamätí. 1988/1991	160
AO 274069 – Schwartz L., Trstenský D.: Zapojenie fyzického medzistyku lokálnej siete. 1989/1992	162
AO 274748 – Podstanický Iv.: Adaptér lokálnej počítačovej siete. 1989/1991	164
AO 275754 – Hoghová D., Kirner J.: Arbiter dvojportového pamäťového zariadenia. 1988/1992	166

POZNÁMKA:

Je nutné poznamenať, že podania na patentovú ochranu sa museli podať na Patentový úrad počas tvorby prototypovej dokumentácie ale najneskoršie pred jej odovzdaním do výrobného závodu na výrobu.

Udelených patentov na pôvodné a originálne riešenia modulov a čiastkových zapojení pre systémy RPP-16 a SMEP mohlo byť podstatne viac, keby riešitelia modulov mali viac času, nakoľko niektoré termíny na riešenie modulov boli krkolomné, alebo riešitelia riešili paralelne viac modulov a čo bolo najdôležitejšie, že mnohí riešitelia si ani neuvedomovali, že ich riešenia modulov a čiastkových zapojení sú pôvodné, originálne a teda patentovateľné.

Autorské osvedčenie na patent

VVL - VÚVT Žilina

pre program RPP-16

Československo



ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA

ÚŘAD PRO VYNÁLEZY A OBJEVY V PRAZE

AUTORSKÉ OSVĚDČENÍ

ČÍSLO 1 6 6 1 3 9

ÚŘAD PRO VYNÁLEZY A OBJEVY V PRAZE
UDĚLIL PODLE § 37, ODS. 1 ZÁKONA
Č. 84/1972 SB. AUTORSKÉ OSVĚDČENÍ
NA VYNÁLEZ, JEHOŽ POPIS JE PŘIPOJEN.
AUTOR VYNÁLEZU:

Ing. Milan Gábik, Žilina

AUTORSKÉ OSVĚDČENÍ BYLO ZAPSÁNO
DO REJSTŘÍKU VYNÁLEZŮ POD SHORA
UVEDENÝM ČÍSLEM.
VYNÁLEZ JE NÁRODNÍM MAJETKEM.
STÁT MÁ PRÁVO VYUŽÍVAT A POVINNOST
PEČOVAT O CO NEJŠIRŠÍ VYUŽÍVÁNÍ
VYNÁLEZU (§ 6 ZÁKONA Č. 84/1972 SB.).

PŘIHLÁŠKA VYNÁLEZU PV 4518-74

V PRAZE 15. listopadu 1976

PŘEDSEDA

J. Kalis
7

Autorské osvedčenia na patenty VÚVT Žilina
pre program SMEP
zahraničné

Ведомство по делам изобретений и патентов
Германской Демократической Республики
Фирменный № 90 185 102

Председателю
Управления по делам изобре-
тений и открытий ЧССР

Тов. Белоглаву М.

П Р А Г А I
Вацлавская пл. 19

Ваше ходатайство от

Ваша знаки

наши знаки

номер телефона

1040 Берлин
ул. Мориштр. 37 б

13. 06. 8

РЕШЕНИЕ

Зарегистрированное за №:

(№ охранного документа страны происхождения)

изобретение

признается на территории ГДР.

WP G 06 F/239 271 4
PV 9485-80

№ описания изобретения к патенту:

210 578

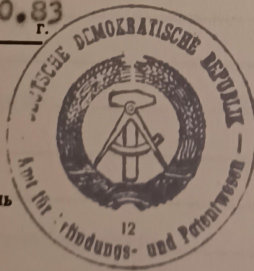
Текст приложенного описания изобретения к патенту является составной частью этого решения.

Берлин, 28.10.83 г.

отдел экспертизы

оформлено

Делопроизводитель



gez. Dipl.-Ing. Lisowski
председатель

Приложение: описание изобретения к патенту

экземпляры: 2 1 • владелец

1 • ведомство по изобретат
или представитель



СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

АВТОРСКОЕ СВИДЕТЕЛЬСТВО

№ 1291959

На основании полномочий, предоставленных Правительством СССР, Государственный комитет СССР по делам изобретений и открытий выдал настоящее авторское свидетельство на изобретение:
"Программируемая логическая матрица"

Автор (авторы): **Рудольф Гронец (ЧССР)**

Заявитель: **ВЫСЛУМНЫ УСТАВ ВЫПОЧЕТНЕЙ ТЕХНИКИ (ЧССР)**

Заявка № 7772394

Приоритет изобретения 21 апреля 1982г.

Зарегистрировано в Государственном реестре изобретений СССР

22 октября 1986г.

Действие авторского свидетельства распространяется на всю территорию Союза ССР.

Председатель Комитета

A handwritten signature in dark ink, likely belonging to the Chairman of the State Committee for Inventions and Discoveries.

Начальник отдела

A handwritten signature in dark ink, likely belonging to the head of the department.

Autorské osvedčenia na patenty VÚVT Žilina
pre program SMEP
Československo



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVEDČENIU

218058

(11)

(B1)

(51) Int. Cl.³
H 02 H 3/027

(22) Prihlášené 29 12 79
(21) (PV 9545-79)

(40) Zverejnené 28 05 82

(45) Vydané 15 06 84

(75)
Autor vynálezu

GÁBORÍK ANTON ing., ŽILINA

(54) Zapojenie vyhodnocovacieho súboru zabezpečovacieho zariadenia pre lanové dráhy a vleky

Vynález sa týka zapojenia univerzálneho vyhodnocovacieho súboru zabezpečovacieho zariadenia pre lanové dráhy a vleky, u ktorého sa rieši reprodukovateľnosť pri výrobe, jednoduchá diagnostika a signalizácia poruchových stavov pri zachovaní vysokej spoľahlivosti a stability parametrov zabezpečovacieho zariadenia.

Zapojenie vyhodnocovacieho súboru zabezpečovacieho zariadenia pre lanové dráhy a vleky pozostáva zo svoriek 1, 2 pre pripojenie k zabezpečovaciemu okruhu, bloku diagnostiky 3, pripojených k bloku ochrán 4, na výstup ktorého je zároveň pripojený blok 7 pripojenia telefónu, zdroj kludového prúdu 5 napájaný spolu s referenčnými zdrojmi 12, 22

z napájacieho zdroja 6, dolnopriepustný filter 8, ktorého výstup je paralelne pripojený k zabezpečovacím blokom skupín 100, 200. Každý z blokov pozostáva z analógovo-číslíkového prevodníka 11, resp. 21, dekódera a logiky 13 resp. 23, referenčného zdroja 12 resp. 22, výstupného bloku skupiny 14 resp. 24, ktorých výstupné kontakty 15 resp. 25 sú zapojené do série a vyvedené na výstupné svorky pre pripojenie ovládania pohonu 50, 60. K spoločným blokom zapojenia patrí blok voľby režimu činnosti 40, blok ovládania súboru 30, pamäť poruchových stavov 10, prepínač signalizovanej skupiny 20 a signalizačný panel 9.

Vynález sa týka zapojenia univerzálneho vyhodnocovacieho súboru zabezpečovacieho zariadenia pre lanové dráhy a vleky pracujúceho systémom kludového prúdu v jednovodičovom zabezpečovacom obvode, u ktorého sa rieši otázka reprodukovateľnosti pri výrobe, jednoduchej diagnostiky a signalizácie poruchových stavov v prevádzke, pri zachovaní potrebnej spoľahlivosti a stability parametrov zabezpečovacieho zariadenia.

Doteraz známe zapojenia vyhodnocovacích súborov sa v podstate delia na dve triedy a to súbory pre lanové dráhy a súbory pre lyž. vleky. V každej z uvedených tried je možné nájsť niekoľko typov zabezpečovacích zariadení, líšiacich sa navzájom vlastnosťami ako:

- obvodová zložitost zapojenia, reprodukovateľnosť pri výrobe — potreba výberu prvkov a súčastí zapojenia, zložitost pri oživovaní a nastavovaní
- spoľahlivosť a rýchlosť reakcie na poruchu v zabezpečovacom okruhu, alebo v samotnom vyhodnocovacom súbore v prevádzke či už s dohľadom alebo bez dohľadu
- v neposlednom rade aj diagnostikovateľnosť a rýchlosť lokalizácie typu a miesta poruchy v prevádzke.

Nevýhodou uvedených vyhodnocovacích súborov je, že vzhľadom ku spoločne platným normám a výnosu o Pravidlách technickej prevádzky lanových dráh existuje v súčasnosti množstvo rôznych typov vyhodnocovacích súborov zabezpečovacích zariadení s rôznou úrovňou technického riešenia, pričom niektoré ani nespĺňajú platnú normu a v rôznych kombináciách splňajú vyššie uvedené vlastnosti. U zložitých zapojení sú veľké nároky na čas pri ich uvádzaní do prevádzky, ako aj pri oprave porúch samotného vyhodnocovacieho súboru. Táto činnosť je tiež časovo náročná, pokiaľ nie je možná jednoduchá výmena súboru za náhradný, čím vznikajú prestoje v prevádzke samotnej lanovej dráhy či vleku. Pre zaistenie správnej funkcie zabezpečovacieho zariadenia a telefónneho spojenia je väčšinou potrebné viacžilové vedenie. Ochrana takéhoto vedenia v ťažkých klimato-technologických podmienkach, ktoré sú bežné u väčšiny lanových dráh je problematická a drahá.

Uvedené nedostatky odstraňuje, alebo aspoň podstatne obmedzuje zapojenie vyhodnocovacieho súboru zabezpečovacieho zariadenia pre lanové dráhy a vleky podľa vynálezu, ktorého podstata spočíva v tom, že vstupné svorky pre pripojenie k zabezpečovaciemu okruhu a blok diagnostiky sú pripojené k bloku ochrán, na výstup ktorého je zároveň pripojený blok pripojenia telefónu, zdroj kludového prúdu napájaný zároveň s referenčnými zdrojmi skupín z napájacieho zdroja, dolnopriepustný filter, ktorého výstup je paralelne pripojený k zabezpečovacím blokom, z ktorých každý pozostáva z analógovo-číslcového prevodníka a k nemu pripojeného referenčného zdroja, pričom výstup analógovo-čísl-

cového prevodníka je pripojený k dekóderu a logike skupiny a jeho výstup je spojený s výstupným blokom skupiny, ktorý ovláda stav výstupného kontaktu skupiny a tento výstupnými svorkami ukončuje zabezpečovací blok, pričom výstupné kontakty skupiny zabezpečovacích blokov skupiny sú zapojené v sérii a to tak, že výstupná svorka zabezpečovacieho bloku jednej skupiny je pripojená k jednej svorke pre pripojenie ovládania pohonu, druhá výstupná svorka zabezpečovacieho bloku tejto skupiny je spojená s prvou výstupnou svorkou zabezpečovacieho bloku druhej skupiny a druhá výstupná svorka zabezpečovacieho bloku tejto skupiny je spojená s druhou svorkou pre pripojenie ovládania pohonu a ďalej k výstupným svorkám zabezpečovacích blokov oboch skupín je paralelne pripojený blok voľby režimu činnosti vyhodnocovacieho súboru, blok ovládania súboru je spojený s výstupnými blokmi skupín a pamäťou poruchových stavov, prepínač signalizovanej skupiny je spojený s výstupmi dekóderov a logiky skupín a svojim výstupom je pripojený k pamäti poruchových stavov, ktorej výstup je vyvedený na signalizačný panel.

Výhody zapojenia vyhodnocovacieho súboru zabezpečovacieho zariadenia podľa vynálezu spočívajú v tom, že takýto súbor je vhodný ako pre lanové dráhy, tak aj pre lyžiarske vleky prakticky všetkých typov, umožňuje ochrannú funkciu spolu s telefónnym spojením s použitím jednovodičového zabezpečovacieho okruhu s návratom zemou, má vysokú rozlišovaciu schopnosť pri snímaní a vyhodnocovaní stavov zabezpečovacieho okruhu vďaka použitému princípu s analógovo-číslcovými prevodníkmi, taktiež nastavenie pri výrobe je jednoduché, nepožaduje sa výber súčiastok a má veľmi dobrú stabilitu parametrov v širokom pásme klimatotechnologických podmienok. Spoľahlivosť zabezpečovacej funkcie súboru je zaistená paralelným zálohovaním zabezpečovacích blokov skupín. Blok diagnostiky spolu s prepínačom signalizovanej skupiny umožňuje rýchle a dostatočne presné lokalizovanie miesta a typu prípadnej poruchy vyhodnocovacieho súboru a tiež kontrolovať stav a funkciu vyhodnocovacieho súboru v ľubovoľnom čase bez potreby ďalších špeciálnych prístrojov.

Zapojenie vyhodnocovacieho súboru zabezpečovacieho zariadenia pre lanové dráhy a lyžiarske vleky je príkladne znázornené na pripojenom výkrese.

Zapojenie vyhodnocovacieho súboru zabezpečovacieho zariadenia pre lanové dráhy a lyžiarske vleky pozostáva zo vstupných svoriek 1, 2 pre pripojenie k zabezpečovaciemu okruhu a bloku 3 diagnostiky, pripojených k bloku 4 ochrán, na výstup ktorého sú zároveň pripojené blok 7 pripojenia telefónu, zdroj 5 kludového prúdu napájaný spolu s referenčnými zdrojmi 12, 22 z napájacieho zdroja 6, dolnopriepustný filter 8, ktorého výstup je paralelne pripojený k zabezpečovacím blo-

kom **100**, **200** skupín. Každý z blokov pozostáva z analógovo-číslcového prevodníka **11** resp. **21**, dekódera a logiky **13** resp. **23**, referenčného zdroja **12** resp. **22**, výstupného bloku **14** skupiny resp. **24** a výstupných kontaktov **15** ukončeného svorkami **101** a **102**, resp. **25** ukončeného svorkami **201** a **202**. K spoločným blokom zapojenia patrí ďalej blok **40** voľby režimu činnosti vyhodnocovacieho súboru, blok **30** ovládania súboru, pamäť **10** poruchových stavov, prepínač **20** signalizovanej skupiny, signalizačný panel **9** a svorky **50** a **60** pre pripojenie ovládania pohonu.

Funkcia zapojenia vyhodnocovacieho súboru zabezpečovacieho zariadenia pre lanové dráhy a lyžiarske vleky, ktoré využíva systém kľudového prúdu, predpokladá zabezpečovací okruh vytvorený minimálne jednovodičovým izolovaným vedením pripojeným k vstupnej svorke **1** vyhodnocovacieho súboru na začiatku dráhy obsahujúcim v sérii zapojené všetky indikátory nebezpečných stavov snímače polohy ťažného lana, anemometre a pod. a na konci dráhy je ukončené snímacím odporom RS, ktorého druhý vývod je uzemnený tak isto, ako vstupná svorka **2** vyhodnocovacieho súboru. Maximálny odpor medzi zemnými bodmi začiatku a konca dráhy, vrátane odporu izolovaného vedenia, je stanovený na RZ max.

Funkcia zapojenia vyhodnocovacieho súboru zabezpečovacieho zariadenia pre lanové dráhy a lyžiarske vleky je nasledovná: Po zapnutí napájacieho zdroja **6** sa aktivujú referenčné zdroje **12**, resp. **22** zabezpečovacieho bloku **100** skupín, resp. **200** a zdroj **5** jednosmerného kľudového prúdu zaistí v prípade normálneho stavu zabezpečovacieho okruhu generovanie prúdu definovanej veľkosti cez blok **4** ochrán a svorku **1** pre pripojenie k zabezpečovaciemu okruhu, uzavretý zabezpečovací okruh so snímacím odporom RS, odpor zeme a späť cez vstupnú svorku **2** do vyhodnocovacieho súboru. Táto hodnota prúdu určuje zároveň hodnotu napätia na vstupe dolnopriepustného filtra **8**, ktorý oddeľuje indukované striedavé napätie v zabezpečovacom okruhu, či už hovorového, resp. vyzváňacieho prúdu z bloku **7** pripojenia telefónu alebo iných rušivých striedavých zložiek od vstupov zabezpečovacích blokov **100**, resp. **200**. Definovaná hodnota jednosmerného napätia sa teda dostáva zároveň na vstup zhodných blokov **100** a **200**. Pretože činnosť oboch blokov je v podstate zhodná, je ďalej popísaná len so vzťahom k bloku **100**. Analógovo-číslcový prevodník **11** prevedie hodnotu vstupného jednosmerného napätia na odpovedajúci číslcový kód, ktorý po dekódovaní a vyhodnotení v logike skupiny v bloku **13** ovláda činnosť výstupného bloku skupiny **14** a tým určuje stav výstupného kontaktu **15** skupiny, pričom tento je zopnutý pokiaľ je kľudový prúd v zabezpečovacom

okruhu v dovolených toleranciách odpovedajúcich normálnemu stavu zabezpečovacieho okruhu. Tento stav je súčasne opticky indikovaný na signalizačnom paneli **9**. V prípade aj krátkodobej odchýlky kľudového prúdu na obe strany mimo pásma nominálnych hodnôt vyvolanej poruchou v zabezpečovacom okruhu, skrat, prerušenie, hlásenie niektorého indikátora nebezpečných stavov a pod., je táto zmena vyhodnotená po prevode v analógovo-číslcovom prevodníku **11** logikou v bloku **13** a po prechode prepínačom **20** signalizovanej skupiny zapamätaná do pamäti **10** poruchových stavov a príslušný poruchový stav je opticky indikovaný na signalizačnom paneli **9**, pričom výstupný kontakt **15** je rozopnutý. Zrušenie predchádzajúceho stavu, t. j. vynulovanie pamäti **10** poruchových stavov a odblokovanie výstupného bloku **14** sa vykoná tlačidlom z bloku **30** ovládania súboru, pričom súbor vyhodnotí okamžitý stav hodnoty kľudového prúdu v zabezpečovacom okruhu.

Pretože vstupy blokov **100** a **200** sú spojené paralelne a výstupné kontakty **15**, **25** skupín do série, je pre aktiváciu ovládania pohonu pripojeného na svorky **50** a **60** potrebné, aby oba výstupné kontakty **15**, **25** skupín boli zopnuté. Tento stav je zaistený len vtedy, ak je kľudový prúd v zabezpečovacom okruhu v pásme nominálnych hodnôt a oba zabezpečovacie bloky **100**, **200** skupín sú v poriadku. Takéto paralelné zálohovanie kritických častí vyhodnocovacieho súboru zabezpečovacieho zariadenia zaisťuje jeho vysokú prevádzkovú spoľahlivosť. Pri poruche niektorej zo zabezpečovacích skupín **100**, resp. **200**, alebo pri poruche súboru či zabezpečovacieho okruhu, pri ktorom zostanú oba alebo niektorý z výstupných kontaktov **15**, resp. **25** v rozopnutom stave, je možné havarijné vyradenie buď jednej alebo aj oboch zabezpečovacích blokov skupín **100**, **200** prepínačom v bloku **40** voľby režimu činnosti. Pri rozpojenom výstupnom okruhu ovládania a odpojenom zabezpečovacom okruhu je možné kedykoľvek prekontrolovať funkciu dôležitých častí vyhodnocovacieho súboru pomocou bloku **3** diagnostiky, a tým napríklad identifikovať typ a miesto prípadnej poruchy vyhodnocovacieho súboru.

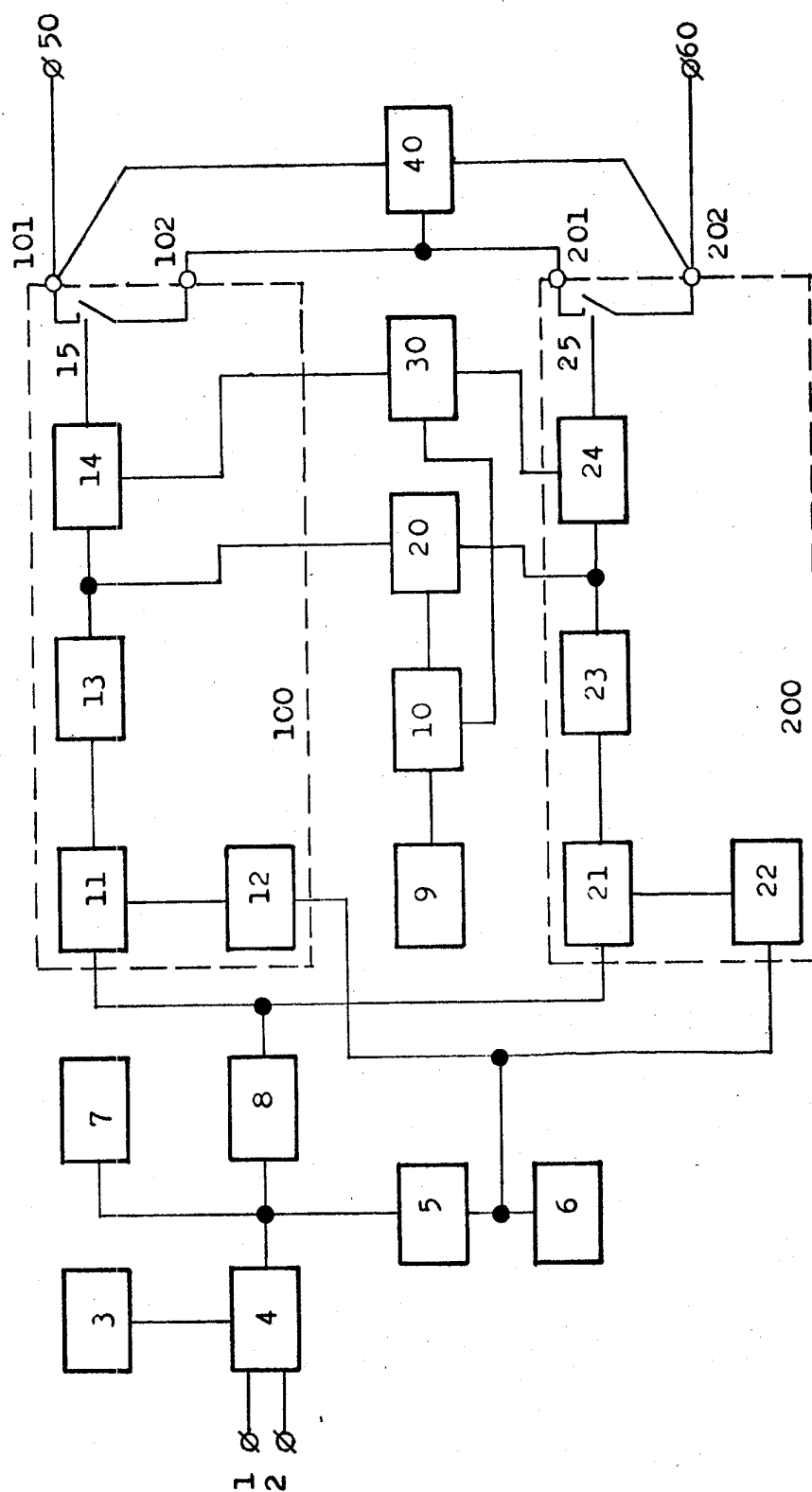
Podľa predloženého vynálezu bol realizovaný vyhodnocovací súbor zabezpečovacieho zariadenia pre lanové dráhy a lyžiarske vleky z bežných a dostupných súčastí v kryte KOO o rozmeroch $107 \times 60 \times 110$ mm š $\times$ h $\times$ v. Funkcia súboru bola odskúšaná na lanových dráhach typů HASLER-BERN, POMA a na lyžiarskych vlekoch typu POMA a TATRA-POMA s pozitívnym výsledkom. Je predpoklad, že po malých úpravách je takýto vyhodnocovací súbor vhodný aj pre zabezpečenie prevádzky ostatných typov lanových dráh a lyž. vlekov s dobrými technicko-ekonomickými parametrami.

PREDMET VYNÁLEZU

Zapojenie vyhodnocovacieho súboru zabezpečovacieho zariadenia pre lanové dráhy a vlekky využívajúce systém kľudového prúdu v jednovodičovom zabezpečovacom okruhu vyznačujúce sa tým, že vstupné svorky (1), (2) a blok (3) diagnostiky sú pripojené k bloku (4) ochrán, na výstup ktorého je zároveň pripojený blok (7) pripojenia telefónu, zdroj (5) kľudového prúdu, ktorého druhý vývod je zároveň spojený s prvým referenčným zdrojom (12) a druhým referenčným zdrojom (22) a výstupom napájacieho zdroja (6), pričom výstup bloku (4) ochrán je ďalej spojený so vstupom dolnopriepustného filtra (8), ktorého výstup je paralelne pripojený k prvému, druhému zabezpečovaciemu bloku (100), (200), z ktorých každý pozostáva z analógovo-číslícového prevodníka (11), (21) k nemu pripojeného referenčného zdroja (12), (22) pričom výstup analógovo-číslícového prevodníka (11), (21) je pripojený k prvému, druhému dekóderu a logike (13), (23) skupín a jeho výstup je spojený s prvým, druhým výstupným blokom

(14), (24) skupiny, ktorého prvý a druhý výstupný kontakt (15) so svorkami (101), (102) a druhý výstupný kontakt (25) so svorkami (201), (202) sú zapojené v sérii a to tak, že svorka (101) prvého výstupného kontaktu (15) je spojená s prvou svorkou (50) ovládania pohonu, svorka (102) prvého výstupného kontaktu (15) je spojená so svorkou (201) druhého výstupného kontaktu (25) a svorka (202) druhého výstupného kontaktu (25) je spojená s druhou svorkou (60) ovládania pohonu, pričom k svorkám (101), (202), a vzájomne spojeným svorkám (102) a (201) je zároveň pripojený blok (40) voľby režimu činnosti vyhodnocovacieho súboru, blok (30) ovládania súboru je zároveň spojený s prvým a druhým výstupným blokom (14) a (24) skupiny a pamäťou (10) poruchových stavov, prepínač (20) signalizovanej skupiny je spojený s výstupmi prvého a druhého dekódera a logiky (13) a (23) skupín a svojím výstupom je pripojený k pamäti (10) poruchových stavov, ktorej výstup je vyvedený na signalizačný panel (9).

1 výkres



Obr. 1



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

(22) Prihlášené 30 12 80
(21) (PV 9486-80)

(40) Zverejnené 10 09 81

(45) Vydané 15 02 86

220852
(11) (B1)

(51) Int. Cl.³
G 01 K 7/24

(75)

Autor vynálezu

GÁBORÍK ANTON ing., PÚPAVA MARTIN, ŽILINA

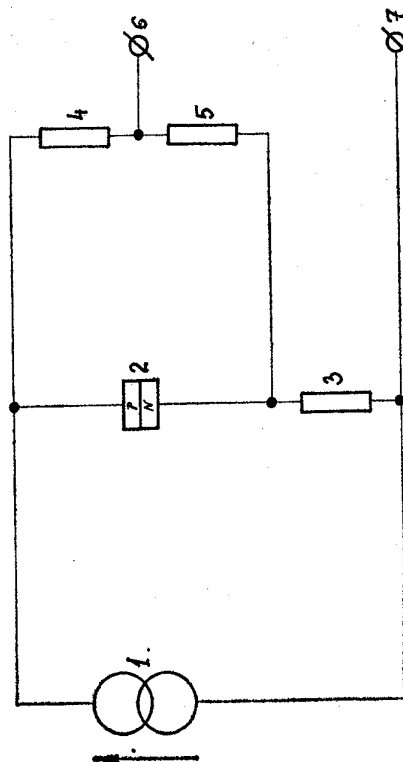
(54) Zapojenie polovodičového snímača teploty s dostaviteľnou prevodovou charakteristikou teplota — napätie

1

2

Vynález sa týka zapojenia polovodičového snímača teploty s dostaviteľnou prevodovou charakteristikou teplota—napätie, ktoré rieši možnosť vzájomného stotožnenia prevodových charakteristík s chybou rádu 0,1 % pre ľubovoľný počet samostatných polovodičových snímačov teploty, pričom vo funkcii teplotných čidiel sa využívajú bežné tranzistory, alebo diódy.

Zapojenie polovodičového snímača teploty s dostaviteľnou prevodovou charakteristikou teplota—napätie pozostáva z prúdového zdroja (1), k vývodom ktorého je v priepustnom smere zapojený polovodičový prechod p—n vo funkcii teplotného čidla (2) v sérii s odporom (3). Zároveň je paralelne k vývodom teplotného čidla (2) pripojený odporový delič zložený z odporov (4) a (5), pričom stred deliča tvorí prvý vývod výstupu (6) polovodičového snímača teploty a spoločný bod prúdového zdroja (1) a odporu (3) tvorí druhý vývod výstupu (7) polovodičového snímača teploty.



Obr. 1

Vynález sa týka zapojenia polovodičového snímača teploty s dostaviteľnou prevodovou charakteristikou teplota — napätie, ktoré rieši možnosť vzájomného stotožnenia prevodových charakteristík s chybou rádu 0,1 % pre ľubovoľný počet samostatných polovodičových snímačov teploty, pričom vo funkcii teplotných čidiel sa využívajú bežné tranzistory, alebo diódy.

V súčasnosti je veľmi rozšírené používanie polovodičových snímačov teploty pre ich nízku cenu, spoľahlivú funkciu, dlhodobú stálosť, vysokú citlivosť a veľmi dobrú linearitu. Pri snímaní sa využíva teplotná závislosť napätia na polovodičovom prechode p—n, zapojenom v priepustnom smere, pričom p—n prechod slúži ako teplotné čidlo.

U mnohokanálových systémov pre snímanie teploty pracujúcich so spoločným vyhodnocovacím zariadením, ktoré je cenovo najefektívnejšie, je však veľký problém s výberom teplotných čidiel (diódy, tranzistory), ktoré majú v požadovanom teplotnom rozsahu prevodové charakteristiky teplota — napätie totožné s definovanou chybou, tak aby bola možná vzájomná zameniteľnosť jednotlivých teplotných čidiel voči vyhodnocovaciemu zariadeniu.

Pokroky v technológii výroby tranzistorov umožňujú v súčasnej dobe produkciu tranzistorov pre použitie vo funkcii teplotných čidiel v meranom teplotnom rozsahu —40 až +150 °C, avšak aj u najkvalitnejších je zaručená len presnosť ± 2 °C, napr. tranzistor MTS 102 fy Motorola, čo je pre niektoré aplikácie nedostatočné.

Pre vyššie nároky na linearitu (0,3 °C) sa vyrábajú integrované teplotné senzory, pri výrobe ktorých sa využívajú špeciálne justovacie techniky laserom ap.

Uvedené nevýhody odstraňuje, alebo aspoň podstatne zmlerňuje zapojenie polovodičového snímača teploty s dostaviteľnou prevodovou charakteristikou teplota — napätie, ktorého podstata spočíva v tom, že prvý vývod prúdového zdroja je spojený s prvým vývodom teplotného čidla a zároveň s prvým vývodom štvrtého odporu, ktorého druhý vývod je spojený s prvým vývodom výstupu snímača spolu s prvým vývodom plateho odporu, ktorého druhý vývod je zároveň spojený s druhým vývodom teplotného čidla a s prvým vývodom tretieho odporu, ktorého druhý vývod je spojený s druhým vývodom prúdového zdroja spolu s druhým vývodom výstupu teplotného snímača.

Výhody zapojenia polovodičového snímača teploty s dostaviteľnou prevodovou charakteristikou teplota — napätie podľa vynálezu spočívajú v tom, že doplnením prvku s polovodičovým prechodom p—n (dióda, tranzistor) o tri pasívne odpory, možno dosiahnuť vzájomný súbeh prevodových charakteristík teplota — napätie s chybou rádu 0,1 % prakticky pre ľubovoľný počet

polovodičových snímačov teploty. Takto vytvorené polovodičové snímače sú veľmi lacné a umožňujú mnohokanálové snímanie teploty so spoločným vyhodnocovacím zariadením pri chybe merania rádu 0,1 % ľubovoľným kanálom.

Zapojenie polovodičového snímača teploty s dostaviteľnou prevodovou charakteristikou teplota — napätie je príkladne zobrazené na pripojenom výkrese, kde na obr. 1 je nakreslené zapojenie snímača teploty s obecným polovodičovým prechodom p—n vo funkcii teplotného čidla, obr. 2 zobrazuje ekvivalentné zapojenie polovodičovej diódy vo funkcii teplotného čidla, ktorú nahrádza prechod p—n v obr. 1.

Na obr. 3 a, b, c, d sú uvedené možné varianty ekvivalentného zapojenia n—p—n tranzistora vo funkcii teplotného čidla, ktorý nahrádza prechod p—n v obr. 1. Pochopiteľne pri vhodnej polarizácii je možné v zapojení rovnako použiť aj tranzistor p—n—p.

Zapojenie polovodičového snímača teploty s dostaviteľnou prevodovou charakteristikou teplota — napätie pozostáva z prúdového zdroja 1 ku vývodom ktorého je v priepustnom smere zapojený polovodičový prechod p—n vo funkcii teplotného čidla 2 v sérii s odporom 3. Zároveň je paralelne ku vývodom teplotného čidla 2 pripojený odporový delič zložený z odporov 4 a 5, pričom stred deliča tvorí prvý vývod výstupu 6 polovodičového snímača teploty a spoločný bod prúdového zdroja 1 a odporu 3 tvorí druhý vývod výstupu 7 polovodičového snímača teploty. Ako teplotné čidlo 2 môže byť zapojená polovodičová dióda 20 podľa obr. 2, alebo tranzistor 200 v niektorej z modifikácií podľa obr. 3.

Funkcia zapojenia polovodičového snímača teploty s dostaviteľnou prevodovou charakteristikou teplota — napätie je nasledovná. Pri zapnutí prúdového zdroja 1 sa celkový prúd pretekajúci odporom 3 rozdelí na časť pretekajúcu teplotným čidlom 2 a časť pretekajúcu odporovým deličom zloženým z odporov 4 a 5, pri nezatažených vývodoch 6 a 7 výstupu snímača teploty. Výstupné napätie na vývodoch 6 a 7 je za týchto podmienok závislé od teploty čidla 2. Ak je celkový prúd zdroja 1 menší ako 1 mA, je vlastný ohrev teplotného čidla 2 spôsobený stratovým výkonom na polovodičovom prechode p—n zanedbateľný. Potom zapojenie dobre plní funkciu lineárneho prevodníka teplota — napätie. Ak v predpokladanom rozsahu meraných teplôt — 40 až +150 °C aproximujeme závislosť teplota — napätie na kremíkovom p—n prechode priamkovou závislosťou

$$y = k \cdot x + q \quad (V: V^0 \text{ } ^\circ\text{C}^{-1}, ^\circ\text{C}, V),$$

čo sa dostatočnou presnosťou môže urobiť, potom pre ľubovoľné teplotné čidlo môže

priamka vykazovať obe iné hodnoty parametrov k , q .

Tento vzájomný rozptyl prevodových charakteristík je v zapojení kompenzovaných vhodnými hodnotami kompenzačných odporov 3, 4 a 5, pričom odporom 3 sa kompenzuje parameter q a odporovým deličom z odporov 4, 5 sa kompenzuje parameter k . Takto je možné iteráciou pri dvoch rôznych teplotách z dovoleného rozsahu doplniť ľubovoľné teplotné čidlo 2 odpormi 3, 4, 5 tak, aby vzájomný súbeh prevodových charakteristík takto vytvorených snímačov teploty bol v definovanom pásme chyby. Pri praktickej realizácii s ohľadom na požadované mechanické vlastnosti teplotného čidla 2 ako teplotné čidlo 2 môže byť zapojená dióda 20 podľa obr. 2, alebo tranzistor 200 zapojený v jednej z modifikácií podľa obr. 3.

Podľa predloženého vynálezu bol realizovaný šesťnásťkanálový systém pre meranie teploty s polovodičovými snímačmi teploty, kde funkciu teplotných čidiel plnili čs. kremíkové diódy KA 206 so spoločným výhod-

nocovacím zariadením (prepínač meracích miest, spoločný prúdový zdroj, merací zosilňovač, digitálny voltmeter Metra MT 100). Vzájomný teplotný súbeh meracích kanálov je taký, že max. chyba neprekračuje 0,3 stupňů Celsia z meranej hodnoty v rozsahu 0 až +100 °C pre ľubovoľný kanál systému.

Precíznejším dostavením je možné ďalšie zlepšenie vzájomného súbehu snímačov teploty a tým aj zvýšenie celkovej presnosti meracieho systému. Obsluha realizovaného 16-kanálového teplomeru je jednoduchá. Teplotné čidlá 1 + 16 sa pripevnia na meranom objekte v požadovaných miestach. Merací zosilňovač je nastavený tak, že prevodová konštanta teplota/napätie je 1 °C/1 mV, takže na pripojenom digitálnom voltmetri na rozsahu 150 mV možno odčítať meranú teplotu priamo v °C. Výber meracieho kanálu, ktorý je práve zobrazovaný na displeji voltmetra sa prevádza prepínačom meracích miest. Takéto riešenie zaručuje aj pri minimálnych nákladoch široké možnosti využitia meracieho systému.

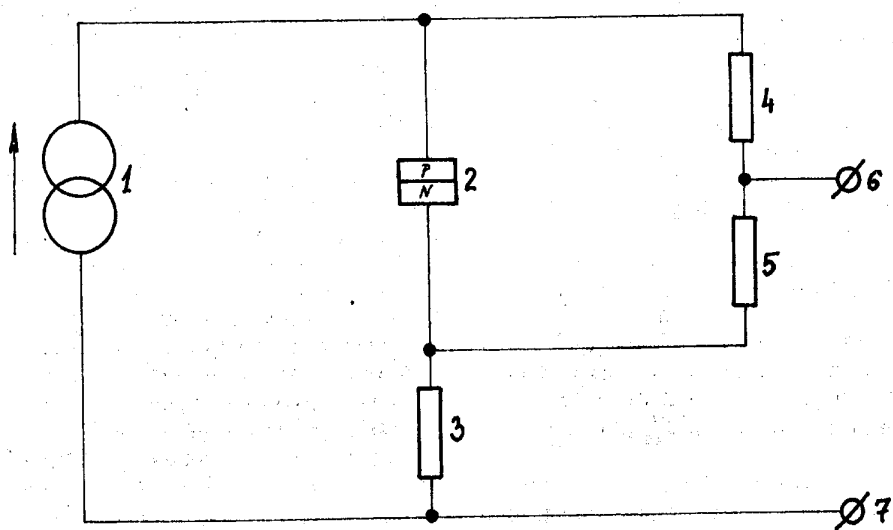
PREDMET VYNÁLEZU

1. Zapojenie polovodičového snímača teploty s dostaviteľnou prevodovou charakteristikou teplota — napätie, kde sa vo funkcii teplotného snímača využíva v priepustnom smere zapojený polovodičový prechod $p-n$, vyznačené tým, že prvý vývod prúdového zdroja (1) je spojený s prvým vývodom teplotného čidla (2) a zároveň s prvým vývodom štvrtého odporu (4), ktorého druhý vývod je spojený s prvým vývodom výstupu snímača (6) spolu s prvým vývodom piateho odporu (5), ktorého druhý vývod je zároveň spojený s druhým vý-

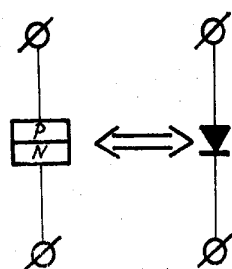
vodom teplotného čidla (2) a s prvým vývodom tretieho odporu (3), ktorého druhý vývod je spojený s druhým vývodom prúdového zdroja (1) spolu s druhým vývodom výstupu snímača (7).

2. Zapojenie polovodičového snímača teploty podľa bodu 1 vyznačené tým, že ako teplotné čidlo (2) je zapojená polovodičová dióda (20).

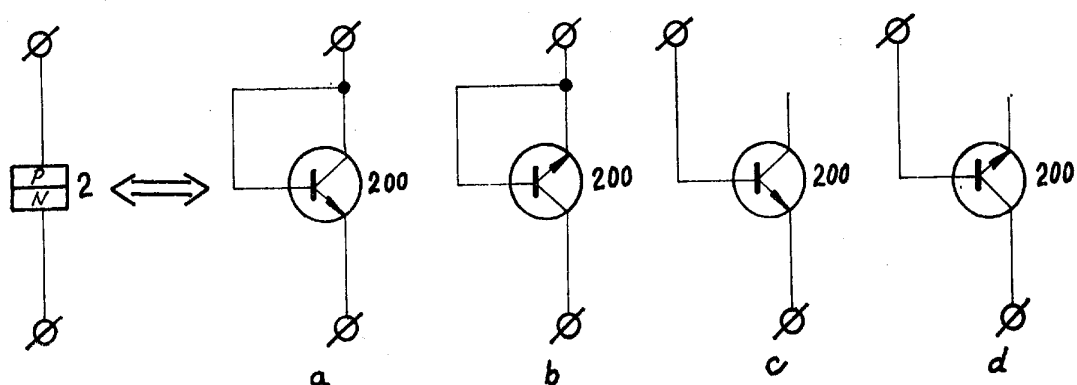
3. Zapojenie polovodičového snímača teploty podľa bodu 1 vyznačené tým, že ako teplotné čidlo (2) je zapojený tranzistor (200).



Obr. 1



Obr. 2



Obr. 3



GRAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

220923
(11) (B1)

(51) Int. Cl.³
G 06 F 9/02

(22) Prihlásené 30 12 80
(21) (PV 9485-80)

(40) Zverejnené 15 09 82

(45) Vydané 15 03 86

(75)
Autor vynálezu HRONEC RUDOLF ing. CSc., ŽILINA

(54) Voľne programovateľné logické pole

1

Vynález sa týka riešenia voľne programovateľného logického poľa.

Doterajšie programovateľné logické polia sú integrované obvody vyššej hustoty integrácie. Ich oblasť uplatnenia je pri konštrukcii počítačov a riadiacich logických systémov. Použitie voľne programovateľného logického poľa zaisťuje vysokú efektívnosť a hospodárnosť riešenia kombinačných a sekvenčných logických obvodov, realizujúcich čiastkové funkcie zložitejších logických systémov. Najvhodnejšie je ich použitie ako riadiacej jednotky v centrálnej jednotke počítača, mikroprogramovej jednotky alebo riadiacej jednotky niektorej operácie, napríklad riadenia diskových pamätí.

Doterajšie riešenia programovateľného logického poľa využívajú bipolárnu technológiu. Používané blokové schémy pozostávajú z dvoch matic -- súčtovej a súčinovej, zo 16-tich vonkajších vstupov a 48-ich vertikálnych liniek. Pretože horizontálne linky sú zdvojené a počet vstupov je 16, je počet programovateľných miest súčinovej matice $2 \times 16 \times 48 = 1536$. Podobne pri súčtovej matici, ktorá má 8 výstupov, počet programovateľných miest bude $8 \times 48 = 384$.

Vyššie uvedené nevýhody odstraňuje voľne programovateľné logické pole pozostávajúce zo súčinovej matice, súčtovej matice

2

a spojovacích horizontálnych a vertikálnych liniek, pričom súčinná matica obsahuje 16 vstupov pre vonkajšie vstupné premenné podľa vynálezu, ktorého podstatou je, že 6 výstupov pre vnútorné premenné súčtovej matice sú pripojené na vstupny oneskorovací obvod, ktorých výstupy sú pripojené na vstupy logických členov ekvivalencie, pričom druhé vstupy logických členov ekvivalencie sú pripojené na šesť vstupov pre vonkajšie premenné súčtovej matice a výstupy logických členov ekvivalencie sú pripojené na vstupy pre vnútorné premenné súčtovej matice, pritom osem spojovacích horizontálnych liniek súčtovej matice sú cez programovateľné logické členy ekvivalencie a výstupné zosilovače pripojené na výstupné svorky súčtovej matice pre logické funkcie.

Voľne programovateľné logické pole podľa vynálezu je oproti doteraz známym podobným zariadeniam výhodné preto, že umožňuje pohodlný návrh a realizáciu synchronného sekvenčného logického obvodu podstatne väčšieho rozsahu vzhľadom na počet vstupov pre vonkajšie vstupné premenné a počet vnútorných stavov tým, že pre spätnú väzbu v automate nie je potrebné používať vonkajšie svorky pre výstupné logické funkcie, ďalej, že zariadenie oneskorovacích členov vo vnútornej spätnej väzbe zaisťuje vy-

lúčenie súbehov pri použití kódu s rovnakou váhou, ďalej, že umožňuje realizáciu viacstupňových logických obvodov pri zachovaní toho istého počtu výstupných logických funkcií, ďalej, že prvé dve vlastnosti umožňujú syntézu automatov s detekciou porúch s použitím kódu „n-1“ z „n“, ďalej, že vstupy pre vonkajšie premenné je možno výhodne využiť pre modifikáciu nasledujúceho stavu automatu vonkajším signálom a konečne, že asynchrónne automaty s detekciou porúch pre riadenie diskretných procesorov budú v mnohých prípadoch obsiahnuté len v jednom navrhovanom programovateľnom logickom poli, čo prinesie značné ekonomické úspory v takých prípadoch, kde by bolo inak potrebné použitie diskretnéj logiky, alebo mikroprocesora.

Na pripojených výkresoch je na obr. 1 znázornená hrubá štruktúra doteraz vyrábaných programovateľných logických polí, na obr. 2 je znázornené vnútorné usporiadanie voľne programovateľného logického pola podľa vynálezu, na obr. 3 je znázornená logická schéma jedného zo šiestich oneskorovacích obvodov.

Na obr. 1, znázorňujúcom hrubú štruktúru doteraz vyrábaných voľne programovateľných polí, integrovaný obvod voľne programovateľného logického pola má 24 svoriek vonkajších na púzde. Z toho 16 svoriek predstavuje vstupy **X1** až **X16** pre vonkajšie vstupné premenné, 8 svoriek predstavuje výstupné svorky **Z1** až **Z8** pre logické funkcie, jedna svorka voľného programovateľného pojenia voľne programovateľného logického pola k zaťaženiu, jedna svorka je uzemnenie, jedna svorka voľného programovateľného logického pola je pripojenie ku zdroju a jedna svorka je venovaná riadeniu pri programovaní. Svorky vstupov **X1** až **X16** pre vonkajšie vstupné premenné sú privedené na vstupy vstupných zosilňovačov **VS1** až **VS16**, každý z týchto zosilňovačov má 2 výstupy, ktoré sú navzájom inverzné. Počet horizontálnych línií súčinovej matice **A** je 32. Kolmo na tieto horizontálne linky sú v súčinovej matici **A** vertikálne linky **P1** až **P48**. Každá z týchto línií sa môže naprogramovať na jeden z dva na šesťnástu možných logických súčinov utvorených zo vstupných premenných. Programovanie sa realizuje prerušením roztaviteľnej programovateľnej spojky **S**. Prítomnosť písmena v súčine sa v súčinovej matici **A** vyjadruje programovateľným bodom **D**. V priesečníku príslušných línií je zapojená dióda, ktorá prináleží príslušnému súčinovému logickému členu.

V dolnej časti obr. 1 je súčtová matica **B**, ktorá umožňuje realizáciu ôsmich rôznych logických súčtov, zostavených z vertikálnych línií **P1** až **P48**. Programovaním je možné dosiahnuť, že na výstupe programovateľných logických členov **E1** až **E8** ekvivalencie je výsledok súčtu buď priamy, alebo inverzný. Ak roztaviteľná programovateľná spojka **S1** sa programovaním preruší, potom sa výsle-

dok súčtu ukáže na výstupnej svorke **Z1** pre logické funkcie.

Ak zostane roztaviteľná programovateľná spojka **S1** nerušená, dostáva sa na výstupnej svorke **Z1** inverzná hodnota logickej funkcie. Výstupné zosilňovače **V1** až **V8** sú ovládané spoločným výstupom **CE**, ktorý riadi odpojenie voľne programovateľného logického pola od zaťaženia.

Obr. 2 ukazuje vnútorné usporiadanie voľne programovateľného pola podľa vynálezu. Tu je oproti obr. 1 pridaná vnútorná spätná väzba **C**, ktorá predstavuje 6 horizontálnych línií v súčtovej matici **B**, 6 programovateľných logických členov **E1** až **E6** ekvivalencie. Podľa hodnôt vstupov **X11** až **X16** pre vonkajšie vstupné premenné, má výstup logických členov **E1** až **E6** ekvivalencie buď normálnu, alebo inverznú hodnotu vnútornej premennej. Počet svoriek pre vstupy **X1** až **X16** pre vonkajšie vstupné premenné je 16. Z toho 10 svoriek pre vstupy **X1** až **X10** pre vonkajšie vstupné premenné sú do vnútornej štruktúry pripojené takým istým spôsobom, ako na pôvodnom riešení — obr. 1. Ostávajúcich 6 vstupov **X11** až **X16** pre vonkajšie vstupné premenné je pripojených na logické členy **E1** až **E6** ekvivalencie, ktoré sú zaradené vo vnútornej spätnej väzbe **C**. Vnútornú spätnú väzbu **C** tvorí 6 vstupov **Y11** až **Y16** pre vnútorné premenné, ktoré sú spojené so šiestimi vstupmi **Y21** až **Y26** pre vnútorné premenné v súčinovej matici **A**. Vnútorná spätná väzba obsahuje ďalej 6 slučiek **G1** až **G6**, kde každá slučka **G1** až **G6** pozostáva z jedného vstupu **Y11** až **Y16** pre vnútornú premennú súčtovej matice **B**, jedného oneskorovacieho obvodu **T1** až **T6**, jedného logického člena **E1** až **E6** ekvivalencie, jedného vnútorného prepojenia medzi horizontálnymi linkami a jedného vstupu **Y21** až **Y26** pre vnútorné premenné súčinovej matice **A**.

Šesť výstupov **Y11** až **Y16** pre vnútorné premenné súčtovej matice **B** je pripojených na vstupy oneskorovacích obvodov **T1** až **T6**, ktorých výstupy sú pripojené na vstupy logických členov **E1** až **E6** ekvivalencie, pričom druhé vstupy logických členov **E1** až **E6** ekvivalencie sú pripojené na 6 vstupov **X11** až **X16** pre vonkajšie vstupné premenné súčinovej matice **A**. Výstupy logických členov **E1** až **E6** ekvivalencie sú pripojené na vstupy **Y21** až **Y26** pre vnútorné premenné súčinovej matice **A**. Osem spojovacích horizontálnych línií 1 až 8 súčtovej matice **B** sú cez programovateľné logické členy **EP1** až **EP8** ekvivalencie a výstupné zosilňovače **V1** až **V8** pripojené na výstupné svorky **Z1** až **Z8** súčtovej matice **B** pre logické funkcie.

Obr. 3 znázorňuje schému jedného zo šiestich oneskorovacích obvodov **T9** až **T14** z obr. 2. Zo svorky vstupu **Y** pre vnútornú premennú prichádza signál súčasne na vstup invertora **I1** a na druhý vstup hradla **H**. Výstup invertora **I1** je pripojený na vstup in-

vertora **I2**. Výstup invertora **I2** je pripojený na prvý vstup hradla **H**. Výstup hradla **H** je pripojený na vstup invertora **I3**. Výstup invertora **I3** je pripojený na vstup logického člena **E** ekvivalencie.

Konkrétna realizácia vynálezu je znázornená na obr. 2. Tu je k súčinovej matici **A**, súčtovej matici **B** a spojovacím horizontálnym linkám **1, 2, 3, ...** a vertikálnym linkám **P1, P2 až P48** pridaná vnútorná spätná väzba **C**. Vnútornú spätnú väzbu **C** tvorí 6 vstupov **Y11 až Y16** pre vnútorné premenné spojenými so šiestimi vstupmi **Y21 až Y26** pre vnútorné premenné v súčinovej matici **A**. Vnútorná spätná väzba **C** obsahuje ďalej 6 slučiek **G1 až G6**, kde každá slučka **G1 až G6** pozostáva z jedného vstupu **Y11 až Y16** pre vnútornú premennú súčtovej matice **B**, jedného oneskorovacieho obvodu **T1 až T6**, jedného logického člena **E1 až E6** ekvivalencie, vnútorného prepojenia medzi horizontálnymi linkami **1, 2, 3, 4, ...** z jedného vstupu **Y21 až Y26** vnútornej premennej súčtovej matice **A**. Výstup **Y11** pre vnútornú premennú súčtovej matice **A** je pripojený na vstup oneskorovacieho obvodu **T1**. Výstup oneskorovacieho obvodu **T1** je pripojený na jeden z dvoch vstupov logického člena **E1** ekvivalencie. Druhý vstup logického člena **E1** ekvivalencie je pripojený na vstup **X11** pre vonkajšiu premennú. Výstup logického člena **E1** ekvivalencie je pripojený na vstup **Y21** pre vnútornú premennú súčinovej matice **A**. Výstupný obvod má 8 horizontálnych liniek, ktoré sú cez programovateľné logické členy **EP1 až EP8** ekvivalencie a výstup-

né zosilňovače **V1 až V8** pripojené na výstupné svorky **Z1 až Z8** pre logické funkcie. Ak **CE = 0**, potom sa na výstupných svorkách objaví užitočný signál. Ak **CE = 1**, potom sa dostanú na výstupe hodnoty vysokých impedancií, čo znamená odpojenie obvodu voľne programovateľného logického poľa od záťaží. Pretože počet horizontálnych liniek **1, 2, 3, 4, ...** podľa vynálezu je rovnaký, ako počet horizontálnych liniek **1, 2, 3, 4, ...** pôvodného zapojenia — obr. 1, je celkový počet programovateľných bodov **D** v oboch prípadoch rovnaký.

Realizácia voľne programovateľného logického poľa podľa vynálezu je možná u asynchrónneho sekvenčného obvodu s detekciou porúch pre vykonávanie funkcie riadiacej jednotky železničnej výmeny, čím sa nahradí doterajšie reléové zapojenie. Požaduje sa tu bezpečnosť práce automatu a detekcia jednoduchých porúch, ako aj detekcia viacnásobných nesymetrických porúch.

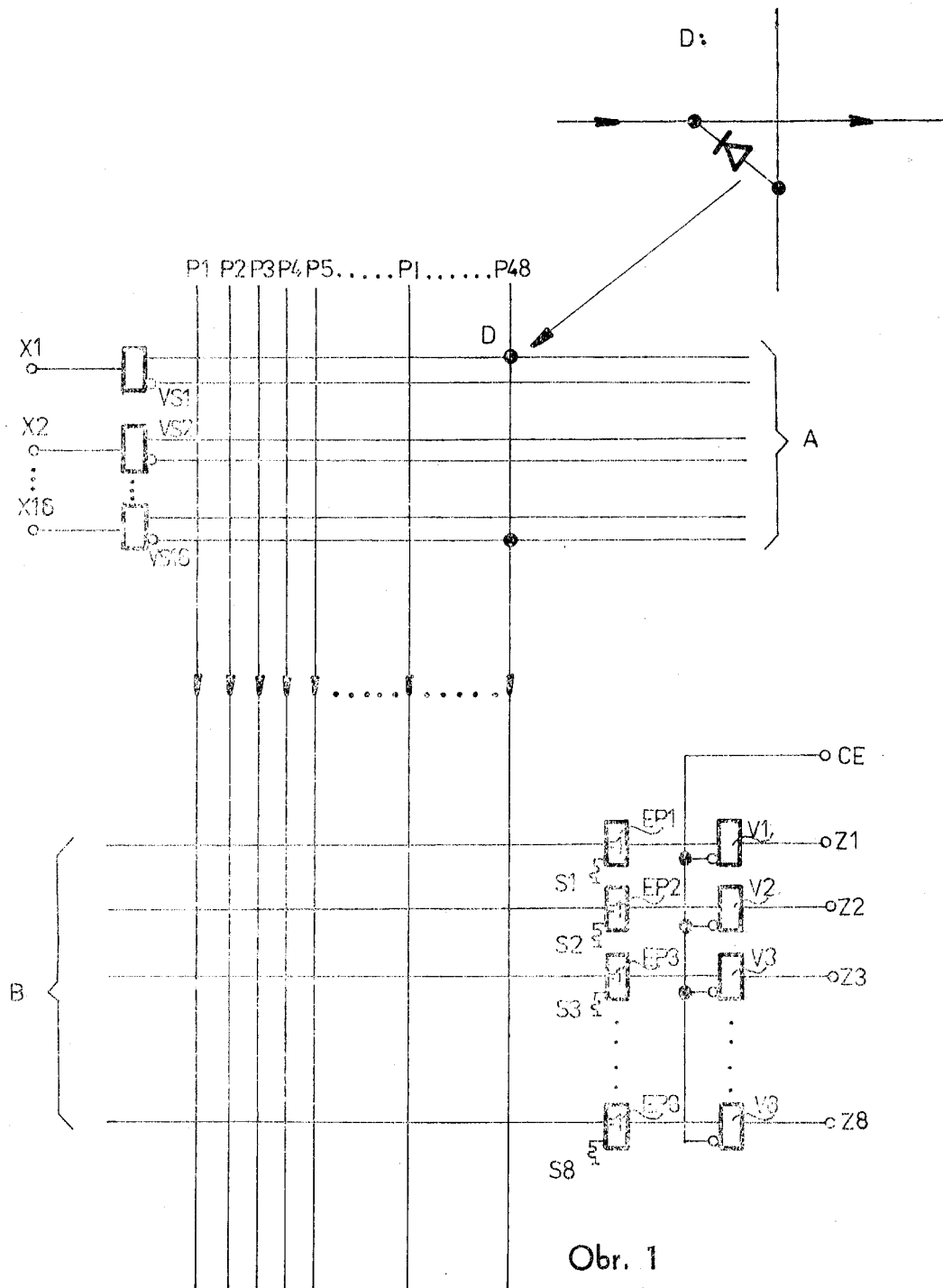
Ďalšia možnosť použitia vynálezu je vo vnútornej spätnej väzbe pri realizácii viacstupňových logických obvodov kombináčnych.

Voľne programovateľné logické pole s vnútornou spätnou väzbou je veľmi vhodný prvok pre realizáciu rozsiahlych kombináčnych logických funkcií s počtom premenných menej ako 17. Táto vhodnosť sa prejaví hlavne vtedy, ak počet prostých implikantov dvojstupňovej formy je väčší ako počet vertikálnych liniek doteraz vyrábaného voľne programovateľného logického poľa.

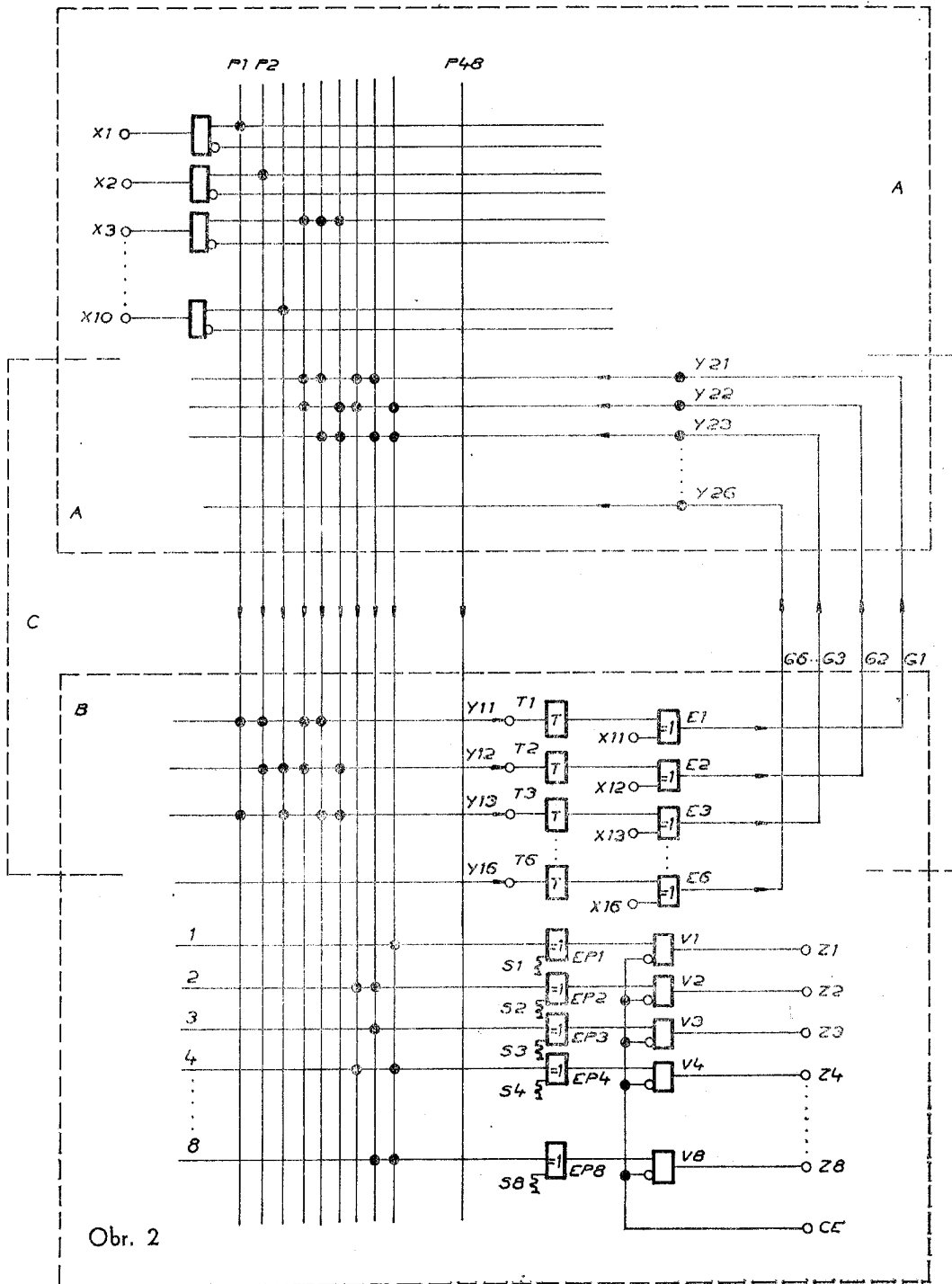
PREDMET VYNÁLEZU

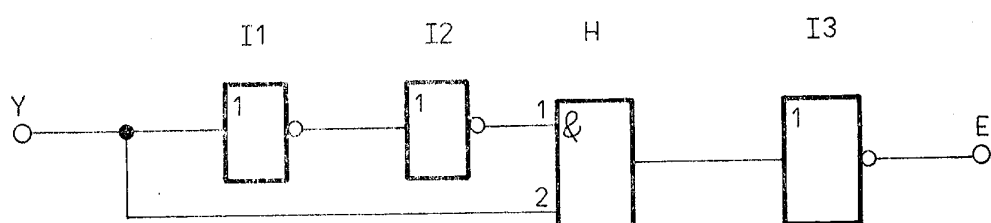
Voľne programovateľné logické pole pozostávajúce zo súčinovej matice, súčtovej matice a spojovacích horizontálnych a vertikálnych liniek, pričom súčinná matica obsahuje 16 vstupov pre vonkajšie vstupné premenné, vyznačujúce sa tým, že šesť výstupov (**Y11 až Y16**) pre vnútorné premenné súčtovej matice (**B**) sú pripojené na vstupy oneskorovacích obvodov (**T1 až T6**), ktorých výstupy sú pripojené na vstupy logických členov (**E1 až E6**) ekvivalencie, pričom druhé vstupy logických členov (**E1 až**

E6) ekvivalencie sú pripojené na šesť vstupov (**X11 až X16**) pre vonkajšie vstupné premenné súčinovej matice (**A**) a výstupy logických členov (**E1 až E6**) ekvivalencie sú pripojené na vstupy (**Y21 až Y26**) pre vnútorné premenné súčinovej matice (**A**), pritom osem spojovacích horizontálnych liniek (**1 až 8**) súčtovej matice (**B**) sú cez programovateľné logické členy (**EP1 až EP8**) ekvivalencie a výstupné zosilňovače (**V1 až V8**) pripojené na výstupné svorky (**Z1 až Z8**) súčtovej matice (**B**) pre logické funkcie.



Obr. 1





Obr. 3



ÚŘAD PRO VYNÁLEZY
A OBRŮBY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

221651
(11) (B1)

(51) Int. Cl.³
H 02 P 13/30

(22) Prihlášené 05 09 80
(21) (PV 6031-80)

(40) Zverejnené 31 07 81

(45) Vydané 15 03 86

(75)

Autor vynálezu

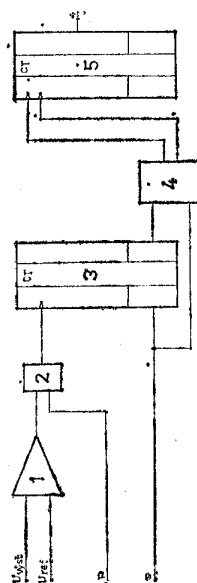
VRABEC DOMINIK ing., ŽILINA

(54) Zapojenie pre reguláciu výstupného napätia striedača číslicovými integrovanými obvodmi s komparátorom

1

Vynález sa týka elektrotechniky, konkrétne polovodičových striedačov. Rieši problém regulácie výstupného napätia striedača. Podstatou vynálezu je zapojenie komparátora na identifikáciu úrovne výstupného napätia striedača a určenie smeru regulácie a pre ďalšie spracovanie číslicovými integrovanými obvodmi.

2



Vynález rieši reguláciu výstupného napätia striedača na báze číslicových integrovaných obvodov s komparátorom.

Aby sa mohla uskutočniť regulácia pomocou číslicových obvodov, je nutné previesť regulované napätie na formu, ktorú sú tieto schopné spracovať.

Doteraz známe riešenia sú založené na princípe analogo-číslcového prevodníka napätí — frekvencia. Nevýhodou týchto prevodníkov je pomerne veľká teplotná závislosť a zložitosť riešenia. Odstránenie teplotnej závislosti vyžaduje ďalšie prídavné obvody na termostatovanie.

Vyššie uvedené nedostatky sú odstránené riešením podľa vynálezu, ktorého podstatou je, že na jeden vstup komparátora je pripojený výstup výstupného napätia striedača a na druhý vstup komparátora je pripojený výstup referenčného napätia. Výstup komparátora je pripojený na jeden vstup hradla, kým na druhý vstup hradla je pripojený výstup plniacich hodinových impulzov. Výstup hradla je pripojený na hodinový vstup prvého čítača a na jeho nulovací, alebo nastavovací vstup je pripojený výstup spínacích impulzov striedača. Výstup spínacích impulzov striedača je zároveň pripojený na jeden vstup rozhodovacieho obvodu a na druhý vstup rozhodovacieho obvodu je pripojený výstup prenos prvého čítača. Výstupy rozhodovacieho obvodu sú pripojené na hodinové vstupy vpred a vzad druhého čítača.

Bloková schéma zapojenia predmetu vynálezu je znázornená na výkrese.

Na vstupy komparátora 1 je pripojený výstup $U_{\text{výst}}$ výstupného napätia striedača a výstup U_{ref} referenčného napätia. Výstup komparátora je pripojený na vstup hradla 2. Na druhý vstup hradla 2 je pripojený výstup p plniacich hodinových impulzov. Výstup hradla 2 je pripojený na hodinový vstup prvého čítača 3. Na nulovací alebo nastavovací vstup prvého čítača 3 je pripojený výstup s spínacích impulzov striedača. Výstup prenos prvého čítača 3 je pripojený na jeden vstup rozhodovacieho obvodu 4. Na druhý vstup rozhodovacieho ob-

vodu 4 je pripojený výstup s spínacích impulzov striedača. Výstupy rozhodovacieho obvodu 4 sú pripojené na hodinové vstupy vpred a vzad druhého čítača 5.

Galvanický oddelený, pretransformovaný, usmernený a vyhladený $U_{\text{výst}}$ výstupného napätia striedača je pripojený na jeden vstup komparátora 1. Na druhý vstup komparátora 1 je pripojený výstup U_{ref} stabilizovaného referenčného napätia odpovedajúce menovitému napätiu striedača. Keď výstupné napätie striedača prekročí úroveň menovitého napätia, výstup komparátora 1 odhadzuje plniace hodinové impulzy p prvého čítača 3. Prvý čítač 3 je taktovaný spínacími impulzami striedača s . Po naplnení prvého čítača 3 sa na jeho výstupe prenos vyrobí impulz, prvý čítač 3 sa zastaví a čaká na nasledujúci takt. Aby sa prvý čítač 3 počas taktu naplnil, musí byť splnená podmienka:

$$\frac{1}{f_s} > n \cdot \frac{1}{f_p}$$

kde

n je modul prvého čítača 3

f_p je frekvencia plniacich hodinových impulzov

$f_s = 2 \cdot m \cdot f$ je frekvencia spínacích impulzov striedača

m je počet fáz výstupného napätia striedača

f je výstupná frekvencia striedača.

Keď výstupné napätie striedača poklesne pod menovitú úroveň, výstup komparátora 1 zahradzuje plniace hodinové impulzy prvého čítača 3 a tým zabráni generovaniu impulzu na výstupe prenos prvého čítača 3. Rozhodovací obvod 4 v každom takte čaká na impulz z výstupu prenos prvého čítača 3, ak príde zvýši stav druhého čítača 5 o jednotku, ak nepríde znížiť stav druhého čítača 5 o jednotku. Stavom druhého čítača 5 je definovaná regulačná odchylka.

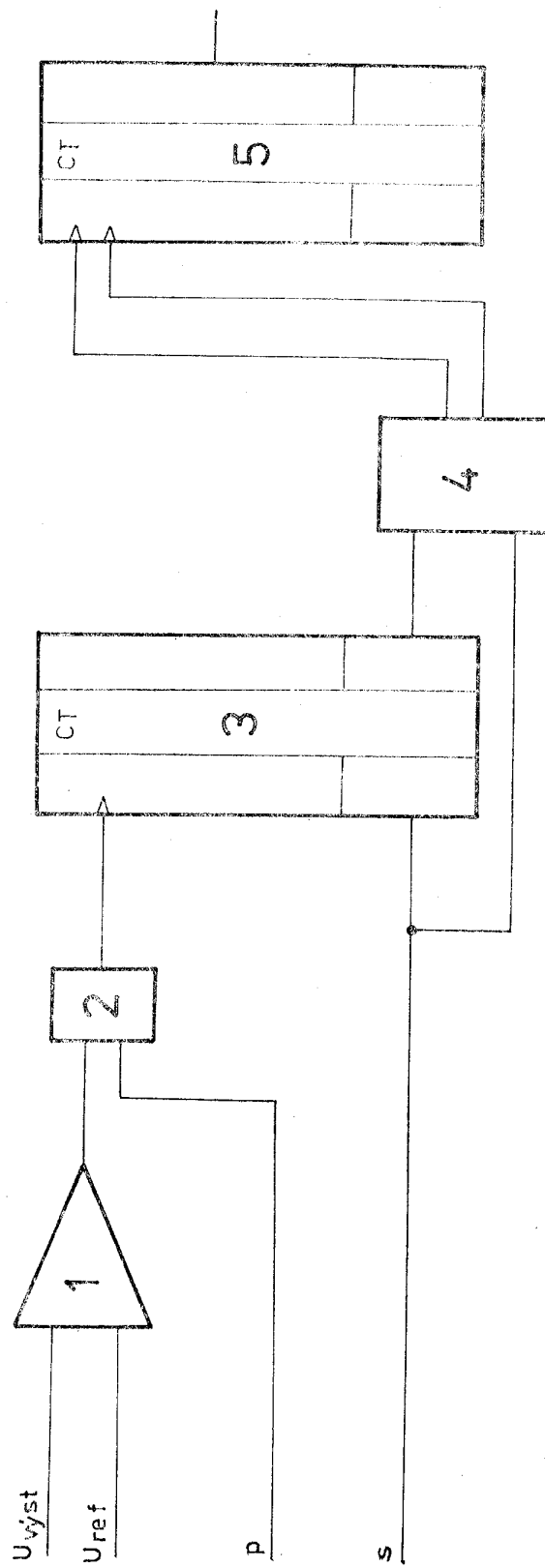
Zapojenie je možné použiť v striedačoch, kde je potrebné udržať na výstupe konštantné napätie.

PREDMET VYNÁLEZU

Zapojenie pre reguláciu výstupného napätia striedača číslicovými integrovanými obvodmi s komparátorom vyznačené tým, že na jeden vstup komparátora (1) je pripojený výstup ($U_{\text{výst}}$) výstupného napätia striedača na druhý vstup komparátora (1) je pripojený výstup (U_{ref}) referenčného napätia, pričom výstup komparátora (1) je pripojený na jeden vstup hradla (2), kým na druhý vstup hradla (2) je pripojený výstup (p) plniacich hodinových impulzov,

kde výstup hradla (2) je pripojený na hodinový vstup čítača (3), pričom na nastavovací, alebo nulovací vstup čítača (3) je pripojený výstup (s) spínacích impulzov striedača, ktorý je zároveň pripojený na jeden vstup rozhodovacieho obvodu (4), kým na druhý vstup rozhodovacieho obvodu (4) je pripojený výstup prvého čítača (3), zatiaľ čo výstupy rozhodovacieho obvodu (4) sú pripojené na hodinové vstupy vpred a vzad druhého čítača (5).

221651





ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA

ÚŘAD PRO VYNÁLEZY A OBJEVY V PRAZE

AUTORSKÉ OSVĚDČENÍ

ČÍSLO 2 2 9 5 3 7

ÚŘAD PRO VYNÁLEZY A OBJEVY V PRAZE
UDĚLIL PODLE § 37, ODS. 1 ZÁKONA
Č. 84/1972 SB. AUTORSKÉ OSVĚDČENÍ
NA VYNÁLEZ, JEHOŽ POPIS JE PŘIPOJEN.
AUTOR VYNÁLEZU:

Hlušek Ján ing., Žilina

Schwartz Ladislav ing., Žilina



AUTORSKÉ OSVĚDČENÍ BYLO ZAPSÁNO
DO REJSTRÍKU VYNÁLEZŮ POD SHORA
UVEDENÝM ČÍSLEM.

VYNÁLEZ JE NÁRODNÍM MAJETKEM.
STÁT MÁ PRÁVO VYUŽÍVAT A POVINNOST
PEČOVAT O CO NEJŠIRŠÍ VYUŽÍVÁNÍ
VYNÁLEZU (§ 6 ZÁKONA Č. 84/1972 SB.).

PŘIHLÁŠKA VYNÁLEZU

PV 8019-82

PŘEDSEDA

V PRAZE 29. července 1986

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

229537
(11) (B1)



ÚRAD PRO VYNÁLEZY
A OBJEVY

[22] Prihlásené 11 11 82
[21] [PV 8019-82]

[40] Zverejnené 15 09 83

[45] Vydané 15 08 86

(51) Int. Cl.³
G 06 F 3/00

(75)

Autor vynálezu

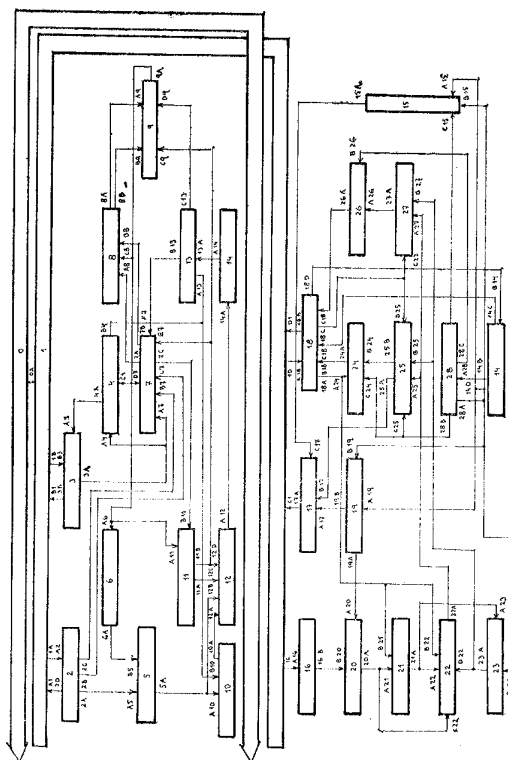
HLUŠEK JÁN ing., SCHWARTZ LADISLAV ing., ŽILINA

(54) Zapojenie synchronného adaptora - D

1

2

Synchronný adaptor-D je určený k prepojeniu počítačových systémov SMEP cez synchronné modemy. Pripája sa jedným medzistykcom k spoločnej zbernici a druhým medzistykcom k modemu s rozhraním V24 CCITT. Zapojenie synchronného adaptora-D zabezpečuje vysielanie a prijímanie synchronnej informácie v procedúre DDCMP.



Vynález sa týka zapojenia synchrónneho adaptora-D pre procedúru DDCMP, určeného pre počítačové systémy so spoločnou zbernicou podľa normatívneho materiálu NM MPK po VT 34-80.

Doteraz známe zapojenie je univerzálne a zložité. Je realizované na 3-konektorovej doske SMEP, čo znemožňuje jeho umiestnenie do terminálových staníc SMEP ako i do prvej a štvrtej pozície univerzálneho bloku medzistyku.

Vyššie uvedené nedostatky odstraňuje zapojenie synchrónneho adaptora-D podľa tohto vynálezu, ktorého podstata je, že výstupy dátového registra vysielateľa sú privedené na vstupy serializátora, na ktorého zapisovací vstup je pripojený výstup z bloku zápisu serializátora, pričom výstup zo serializátora je privedený na vstup generátora CRC a zároveň tiež na vstup hradlovacieho bloku výstupu, na ktorého ďalší vstup je pripojený výstup z generátora CRC, zatiaľ čo prvý vstup uvoľňovacieho bloku vysielateľa je pripojený k výstupu stavového registra vysielateľa ako aj k vstupu bloku sledovania cyklov vysielateľa, druhý vstup je pripojený k výstupu dátového registra vysielateľa, tretí vstup je spojený s ďalším výstupom dátového registra vysielateľa, štvrtý vstup uvoľňovacieho bloku vysielateľa je spojený s výstupom čítača vyslaných bitov, ktorý je zároveň privedený na vstup hradlovacieho bloku čítača, ako aj na vstup bloku sledovania cyklov vysielateľa a ďalej na vstup zápisu serializátora a na vstup prepínacieho bloku, pričom na druhý vstup prepínacieho bloku je pripojený výstup uvoľňovacieho bloku vysielateľa, ktorého ďalší výstup je spojený so vstupom hradlovacieho bloku čítača a ďalší výstup je pripojený k druhému vstupu hradlovacieho bloku čítača, ktorého dva výstupy sú pripojené k dvom vstupom čítača bitov, zatiaľ čo výstup prepínacieho bloku je spojený so vstupom hradlovacieho bloku výstupu, ktorého výstup je pripojený k vstupu bloku prevodníkov úrovni a výstup prepínacieho bloku je pripojený jednak k vstupu hradlovacieho bloku výstupu ako aj k vstupu uvoľňovacieho bloku vysielateľa a k vstupu čítača vyslaných bitov, ktorého posledný výstup je spojený s výstupom časovacieho bloku vysielateľa, pričom jeho ďalší výstup je spojený so vstupom uvoľňovacieho bloku vysielateľa ako aj so vstupom bloku zápisu serializátora a výstup bloku časovania vysielateľa je pripojený k vstupu generátora CRC a tiež k vstupu bloku sledovania cyklov vysielateľa, ktorého výstup je spojený so vstupom stavového registra vysielateľa, zatiaľ čo výstupy registra stavov a parametrov a deserializátora sú privedené na vstupy komparátora, ktorý je spojený s I. blokom synchronizácie a s II. blokom synchronizácie, pričom I. blok synchronizácie je spojený s blokom čítača prijatých znakov a s II. blokom synchronizácie, ktorý je spojený s blokom čítača prijatých znakov, s blokom zápi-

su a s blokom povolenia aktivity, zatiaľ čo blok časovania prijímateľa je spojený jedným svojím výstupom s blokom čítača prijatých znakov, s blokom generovania CRC a s deserializátorom a s druhým svojím výstupom, s blokom dátovej dostupnosti prijímateľa, pričom tretím výstupom je pripojený k bloku generovania CRC a štvrtým výstupom k bloku aktivity prijímateľa, pričom blok prevodníkov je spojený s deserializátorom a s blokom generovania CRC, ktorý je ďalej spojený s dátovým registrom prijímateľa, naproti tomu blok generovania CRC je spojený s dátovým registrom prijímateľa a blok povolenia aktivity je spojený s blokom aktivity prijímateľa a ten je spojený s registrom stavov prijímateľa, pričom blok zápisu je spojený s dátovým registrom prijímateľa a s blokom dátovej dostupnosti prijímateľa, ktorý je ďalej spojený s registrom stavov prijímateľa, zatiaľ čo register stavov prijímateľa je jedným svojím výstupom spojený s blokom zápisu a s blokom povolenia aktivity a s druhým svojím výstupom s blokom dátovej dostupnosti prijímateľa, s I. blokom synchronizácie a s II. blokom synchronizácie.

Zapojenie synchrónneho adaptora-D podľa tohto vynálezu je oproti doteraz známym zapojeniam výhodné preto, lebo je realizovateľné s menším počtom súčiastok a je umiestnené na menšej doske plošných spojov.

Na priloženom výkrese je zobrazená celková bloková schéma zapojenia synchrónneho adaptora-D.

Synchrónny adaptor-D je na spoločnú zbernicu počítačového systému **0** pripojený cez blok **1** styku so spoločnou zbernicou, ktorý generuje signály pre zápis a čítanie niektorého z nasledovných registrov: dátového registra **2** vysielateľa, stavového registra **3** vysielateľa, registra **16** stavov a parametrov, dátového registra **17** prijímateľa a registra **18** stavov prijímateľa. Vysielateľ slúži na serializáciu vysielaných dát a na výpočet zabezpečovacej postupnosti ako pre záhlavie, tak aj pre dátovú časť vysielaného bloku. Časovanie vysielateľa je generované v časovacom bloku **13** vysielateľa a je odvodené od hodinových impulzov z modemu, ktoré sú v bloku **14** prevodníkov úrovni konvertované z úrovne podľa doporučenia V28 CCITT na TTL úroveň ako signál **A14** a tento je privedený na vstup **13A** časovacieho bloku **13** vysielateľa. Uvoľnenie činnosti vysielateľa je podmienené jednak zápisom stavových a dátových bitov **1A** z bloku **1** styku so spoločnou zbernicou, ktoré sú privedené na vstup **A2** dátového registra **2** vysielateľa a jednak zápisom stavových bitov **1B**, ktoré sú privedené na vstup **B3** stavového registra **3** vysielateľa. Výstup **7A** uvoľňovacieho bloku **7** vysielateľa, ktorý je spojený so vstupom **A8** hradlovacieho bloku **8** čítača, sa nastaví vtedy, ak sú nastavené vstupy **A7** a **B7**, z ktorých **A7** je spojený s výstupom **3A** stavového registra **3** vysielateľa a **B7** je spojený s výstupom **2C** dátového registra **2** vy-

sielača a ak na vstup **F7** príde impulz z výstupu **B13** časovacieho bloku **13** vysieláča. Výstup **7B**, ktorý je inverzným k výstupu **7A** uvoľňovacieho bloku **7** vysieláča, je privedený na vstup **B8** hradlovacieho bloku **8** čítača a spôsobí nastavenie výstupu **8B** tohto bloku. Výstup **8B** je spojený s uvoľňovacím vstupom **B9** čítača **9** vyslaných bitov, na ktorého ďalší vstup **D9** sú privádzané časovacie impulzy z výstupu **C13** časovacieho bloku **13** vysieláča. Príchodom prvého časovacieho impulzu za podmienky, že je nastavený vstup **A9**, nastaví sa výstup **9A** čítača **9** vyslaných bitov.

V prípade, že vstup **A9** nie je nastavený, potom sa výstup **9A** nastaví po každom ôsmom časovacom impulze, ak je nastavený vstup **C9**, ktorý je spojený s výstupom **11B** prepínacieho bloku **11** alebo po šesťnástom časovacom impulze, ak vstup **C9** nie je nastavený. Nastavenie výstupu **9A**, ktorý je spojený so vstupom **A6** bloku **6** zápisu serializátora, spôsobí po príchode impulzu na druhý vstup **B6**, ktorý je spojený s výstupom **B13** časovacieho bloku **13** vysieláča, vygenerovanie impulzu na výstupe **6A** bloku **6** zápisu serializátora, čo spôsobí prepis znaku z výstupu **2A** dátového registra **2** vysieláča, ktorý je spojený so vstupom **A5**, do serializátora **5**. Sériové dáta sú z výstupu **5A** serializátora **5** privádzané jedným na vstup **12B** hradlovacieho bloku **12** výstupu ako aj na vstup **A10** generátora **10** CRC. Výstup **10A** generátora **10** CRC je spojený so vstupom **12A** hradlovacieho bloku **12** výstupu. V tomto bloku sa v prípade nastavenia vstupu **12D**, ktorý je spojený s výstupom **11A** prepínacieho bloku **11**, prepisujú dáta zo vstupu **12B** na výstup **A12**. Naopak, ak je nastavený vstup **12C**, ktorý je spojený s inverzným výstupom **11B** prepínacieho bloku **11**, sú prepisované dáta zo vstupu **12A** na výstup **A12**, ktorý je spojený so vstupom **14A** bloku **14** prevodníkov úrovni. Výstup **9A** čítača **9** vyslaných bitov je spojený tiež so vstupom **A11** prepínacieho bloku **11** a v súčinnosti s ďalším vstupom **B11** tohto bloku sa ovláda nastavovanie výstupov **11A** alebo **11B** a tým aj vysielanie dát alebo postupnosti CRC. Vstup **B11** je spojený s výstupom **7C** uvoľňovacieho bloku **7** vysieláča, a je ovládaný prostredníctvom vstupu **C7**, ktorý je spojený s výstupom **2B** dátového registra **2** vysieláča a vstupu **D7**, ktorý je spojený s výstupom **9A** čítača **9** vyslaných bitov. Výstup **9A** je spojený taktiež so vstupom **C4** bloku **4** sledovania cyklov vysieláča a v súčinnosti s ďalšími vstupmi **A4**, ktorý je spojený s výstupom **3A** stavového registra **3** vysieláča a **B4**, ktorý je spojený s výstupom **A13** časovacieho bloku **13** vysieláča, je vždy po skončení vysielacieho cyklu nastavený výstup **4A** bloku **4** sledovania cyklov vysieláča a tento výstup je spojený so vstupom **A3** stavového registra **3** vysieláča.

Prijímač zabezpečuje synchrónny príjem informácie prichádzajúcej cez blok **14** pre-

vodníkov, konvertujúci dáta o úrovniach podľa doporučenia V28 CCITT na TTL a naopak. Prijímač je pripravený k činnosti zápisom synchronizačného znaku, ktorý sa bude v danom prenose používať, z výstupov **1C** z bloku **1** styku so spoločnou zbernicou do vstupov **A16** spodného bytu registra **16** stavov a parametrov a zápisom uvoľňovacieho bitu prijímača z výstupu **1D** bloku **1** styku so spoločnou zbernicou do vstupu **A18** registra **18** stavov prijímača, čo spôsobí nastavenie výstupu **18A**, ktorý je spojený so vstupom **A24** bloku **24** dátovej dostupnosti prijímača, ďalej so vstupom **B21** I. bloku **21** synchronizácie a so vstupom **B22** II. bloku **22** synchronizácie. Činnosť prijímača je zahájená príchodom správy, ktorá musí začínať minimálne dvoma synchronizačnými znakmi. Prijímané dáta prichádzajúce do bloku **14** prevodníkov úrovni, pokračujú z výstupu **14D** do vstupu **A19** deserializátora **19**, ktorý je taktovaný hodinami prichádzajúcimi na vstup **B19**. Prvý prijatý znak, ktorým je prvý synchronizačný znak, do deserializátora **19** je cez výstupy **19A** a vstupy **A20** porovnaný v komparátore **20** s obsahom spodného bytu registra **16** stavov a parametrov, ktorý je spojený výstupmi **16B** so vstupmi **B20** komparátora **20**. Ak došlo k zhode, komparátor **20** vygeneruje na svojom výstupe **20A** signál, ktorý v I. bloku **21** synchronizácie cez vstup **A21** spôsobí nastavenie výstupu **21A**. S príchodom signálu z výstupu **21A** na vstup **A23** bloku **23** čítača prijatých znakov, sa tento vynuluje a výstup **23A** sa nastaví do logickej nuly. Hodiny, ktoré prichádzajú z výstupu **28A** bloku **28** časovania prijímača do vstupu **B23** bloku **23** čítača prijatých znakov, zabezpečujú od tohoto okamihu nastavovanie výstupu **23A**, vždy po každých 8 prijatých bitoch, t. j. vždy po prijatí jedného kompletného znaku. Druhý prijatý synchronizačný znak do deserializátora **19** sa opäť, ako pri prvom synchronizačnom znaku porovná v komparátore **20** s obsahom spodného bytu registra **16** stavov a parametrov. Ak opäť dôjde k zhode, vygeneruje sa na výstupe **20A** komparátora **20** signál vstupujúci do vstupu **C22** II. bloku **22** synchronizácie, ktorý spolu s už vygenerovaným signálom na vstupe **A22** a so signálom **D22** prichádzajúcim z výstupu **23A** bloku **23** čítača prijatých znakov spôsobí nastavenie výstupu **22A** II. bloku **22** synchronizácie. Od tohoto okamihu je prijímač zosynchronizovaný. Všetky ďalšie prijaté znaky sú z výstupov **19B** deserializátora **19** privádzané na vstupy **A17** dátového registra **17** prijímača, odkiaľ sú prostredníctvom výstupov **17A** a vstupu **C1** bloku **1** styku so spoločnou zbernicou predkladané programu. Od tejto chvíle sú generované signály **24A** v bloku **24** dátovej dostupnosti prijímača a **26A** v bloku **26** aktivity prijímača, ktoré zabezpečujú spoluprácu s programom. Signál **22A** vystupujúci z

druhého bloku **22** synchronizácie a vstupujúci do vstupu **A25** bloku **25** zápisu spolu so signálom **23A** z bloku **23** čítača prijatých znakov vstupujúcim do vstupu **B25** a hodinovým signálom **28B** z bloku **28** časovania prijímača **28** vstupujúcim do vstupu **C25** vstupujúcimi do toho istého bloku spôsobia vygenerovanie vstupného signálu **25A** a signálu **25B**. Signál **25A** vystupujúci z bloku **25** zápisu a vstupujúci do vstupu **B17** dátového registra **17** prijímača zabezpečuje prepis obsahu deserializátora **19** z jeho výstupov **19B** do vstupov **A17** dátového registra **17** prijímača vždy po prijatí úplného znaku. Signál **25B** generovaný blokom **25** zápisu vstupujúci do vstupu **B24** bloku **24** dátovej dostupnosti prijímača spolu s hodinovým signálom **28B** z bloku **28** časovania prijímača vstupujúci do vstupu **C24** tohoto istého bloku spôsobia nastavenie signálu **24A** po uskutočnení prenosu dát z deserializátora **19** do dátového registra **17** prijímača. Signál **22A** z II. bloku **22** synchronizácie vstupujúci do vstupu **A27** bloku **27** povolenia aktivity spolu so signálom **23A** z bloku **23** čítača prijatých znakov vstupujúcim do vstupu **B27** spôsobia v bloku **27** povolenia aktivity nastavenie výstupného signálu **27A**. Tento signál vstupujúci do vstupu **A28** spolu so signálom **28C** z bloku **28** časovania prijímača vstupujúcim cez vstup **B26**, spôsobia v bloku **26** aktivity prijímača nastavenie výstupného signálu **26A**. Výstupný signál **24A** vstupujúci do vstupu **B18** spolu s výstupným signálom **26A** vstupujúcim do vstupu **C18** registra **18** stavov prijímača sú dostupné programu cez výstupné signály **18B**, ktoré vstupujú do vstupov **D1** bloku **1** styku so spoločnou zbernicou. V prípade, že v prenášanej správe je prítomných viac synchronizačných znakov než dve a nie je žiaduce, aby sa tie-

to nadbytočné synchronizačné znaky predkladali programu a zároveň sa z nich počítala CRC postupnosť, je v registri **18** stavov prijímača nastavený výstupný signál **18C**. Tento vstupuje do vstupu **25D** bloku **25** zápisu a do vstupu **C27** bloku **27** povolenia aktivity, ktoré zablokuje dovtedy, pokiaľ nie je prijatý dátový znak rozdielny od synchronizačného znaku. Až potom je povolené nastavenie výstupných signálov **24A** a **26A**. Z prijímaných dát prichádzajúcich z výstupu **14D** bloku **14** prevodníkov úrovni do vstupu **A15** bloku **15** generovania CRC je vypočítavaná CRC postupnosť. Signály **28A** a **28D** generované blokom **28** časovania prijímača vstupujú do vstupov **B15** a **C15** bloku **15** generovania CRC, kde zabezpečujú vnútornú činnosť bloku. Výsledok výpočtu CRC z výstupu **15A** vstupuje do vstupu **C17** dátového registra **17** prijímača, odkiaľ je dostupný cez výstupy **17A** programu. Hodiny pre vnútornú činnosť prichádzajú zo synchronného modemu cez blok **14** prevodníkov, odkiaľ cez výstup **14B** vstupujú do vstupu **A28** bloku **28** časovania prijímača. O príchode dátového znaku je informovaný program prostredníctvom prerušenia, ktoré je generované blokom **1** styku so spoločnou zbernicou. Prerušenie je odvodené od signálu **24A**, ktorý sa nastavuje po prepísaní znaku deserializátora **19** do dátového registra **17** prijímača a nuluje jeho prečítaním. Register **18** stavov prijímača prostredníctvom výstupných signálov **18D** a vstupných signálov **C18** ovláda činnosť modemu cez blok **14** prevodníkov úrovni prostredníctvom vstupných signálov **B14** a výstupných signálov **14C**.

Zapojenie synchronného adaptora-D podľa tohto vynálezu umožňuje realizovať pri znížení výrobných nákladov synchronný komunikačný modul pre procedúru DDCMP.

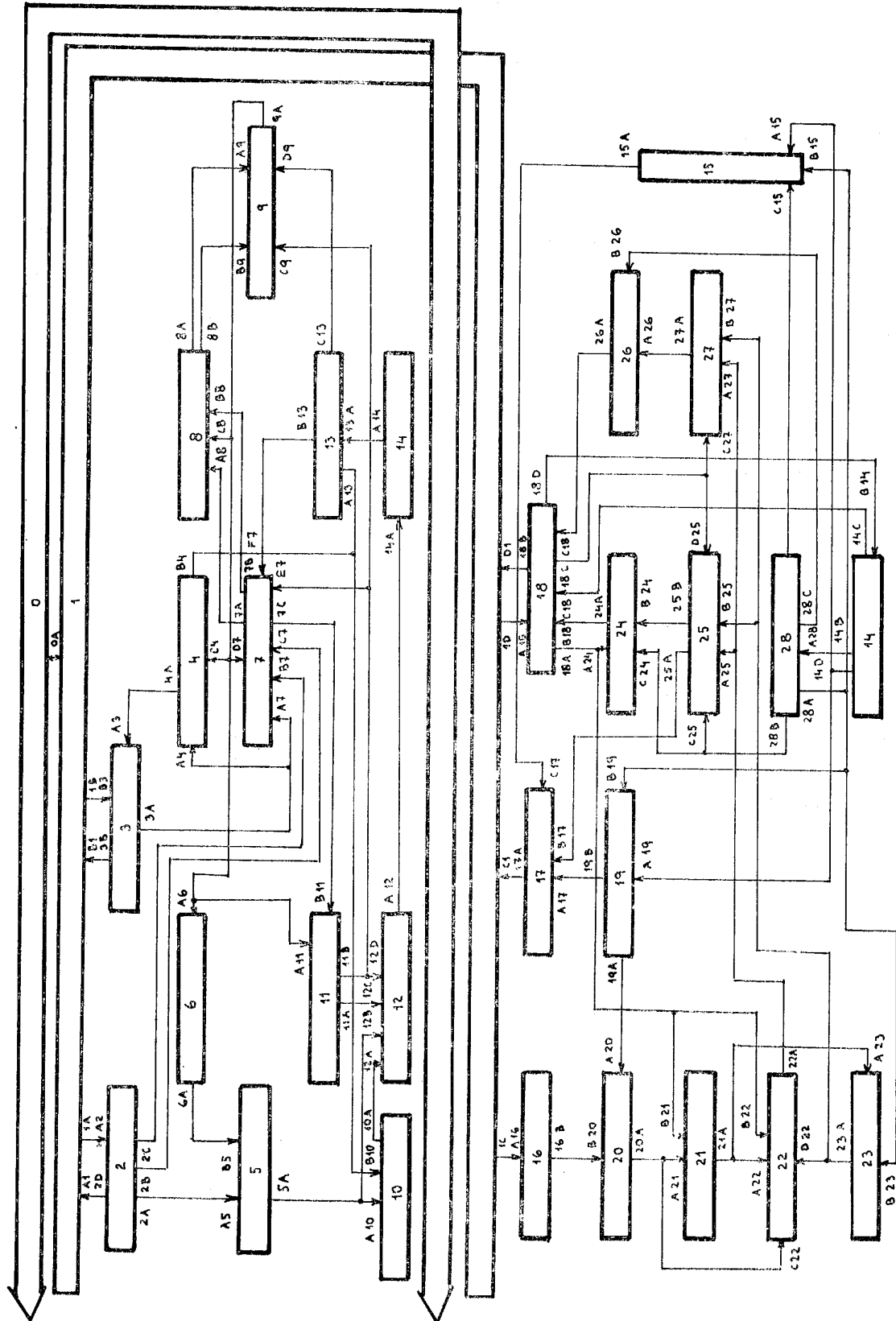
PREDMET VYNÁLEZU

Zapojenie synchronného adaptora-D pozostávajúce z bloku styku so spoločnou zbernicou, dátového registra vysielateľa, stavového registra vysielateľa, bloku sledovania cyklov vysielateľa, serializátora, bloku zápisu serializátora, uvoľňovacieho bloku vysielateľa, hradlovacieho bloku čítača, čítača vyslaných bitov, generátora CRC, prepínacieho bloku, hradlovacieho bloku výstupu, časovacieho bloku vysielateľa, bloku prevodníkov úrovni, bloku generovania CRC, registru stavov a parametrov, dátového registru prijímača, registru stavov prijímača, deserializátora, komparátora, I. bloku synchronizácie, II. bloku synchronizácie, bloku čítača prijatých znakov, bloku dátovej dostupnosti prijímača, bloku zápisu, bloku aktivity prijímača, bloku povolenia aktivity, bloku časovania prijímača, vyznačené tým, že výstupy (2A) dátového registru (2) vysielateľa sú privedené na vstupy (A5) serializátora (5), na ktorého zapisovací vstup (B5) je pripo-

jený výstup (6A) z bloku (6) zápisu serializátora, pričom výstup (5A) zo serializátora (5) je privedený na vstup (A10) generátora (10) CRC a zároveň tiež na vstup (12B) hradlovacieho bloku (12) výstupu, na ktorého ďalší vstup (12A) je pripojený výstup (10A) z generátora (10) CRC, zatiaľ čo prvý vstup (A7) uvoľňovacieho bloku (7) vysielateľa je pripojený k výstupu (3A) stavového registra (3) vysielateľa, ako aj k vstupu (A4) bloku (4) sledovania cyklov vysielateľa, druhý vstup (B7) je pripojený k výstupu (2C) dátového registra (2) vysielateľa, tretí vstup (C7) je spojený s výstupom (2B) dátového registra vysielateľa, štvrtý vstup (D7) uvoľňovacieho bloku (7) vysielateľa je spojený s výstupom (9A) čítača (9) vyslaných bitov, ktorý je zároveň privedený na vstup (C8) hradlovacieho bloku (8) čítača, ako aj na vstup (C4) bloku (4) sledovania cyklov vysielateľa a ďalej na vstup (A6) bloku (6) zá-

pisu serializátora a na vstup (A11) prepínacieho bloku (11), pričom na druhý vstup (B11) prepínacieho bloku (11), je pripojený výstup (7C) uvoľňovacieho bloku (7) vysielateľa, ktorého ďalší vstup (7A) je spojený so vstupom (A8) hradlovacieho bloku (8) čítača a ďalší výstup (7B) je pripojený k druhému vstupu (B8) hradlovacieho bloku (8) čítača, ktorého výstup (8A) je pripojený k vstupu (A9) a výstup (8B) k vstupu (B9) čítača (9) vyslaných bitov, zatiaľ čo výstup (11A) prepínacieho bloku (11) je spojený so vstupom (12C) hradlovacieho bloku (12) výstupu, ktorého výstup (A12) je pripojený k vstupu (14A) bloku (14) prevodníkov úrovni a výstup (11B) prepínacieho bloku (11) je pripojený jednak k vstupu (12D) hradlovacieho bloku (12) výstupu ako aj k vstupu (E7) uvoľňovacieho bloku (7) vysielateľa a k vstupu (C9) čítača (9) vyslaných bitov, ktorého posledný vstup (D9) je spojený s výstupom (C13) časovacieho bloku (13) vysielateľa, pričom jeho ďalší výstup (B13) je spojený so vstupom (F7) uvoľňovacieho bloku (7) vysielateľa ako aj so vstupom (B6) bloku (6) zápisu serializátora a výstup (A13) bloku (13) časovania vysielateľa je pripojený k vstupu (B10) generátora (10) CRC a tiež k vstupu (B4) bloku (4) sledovania cyklov vysielateľa, ktorého výstup (4A) je spojený so vstupom (A3) stavového registra (3) vysielateľa, pričom blok (14) prevodníkov úrovni je svojím výstupom (14D) spojený so vstupom (A15) bloku (15) generovania CRC a so vstupom (A19) deserializátora (19), ktorého výstupy (19B) sú spojené so vstupmi (A17) dátového registra (17) prijímača a výstupy (19A) so vstupmi (A20) komparátora (20), ktorého vstupy (B20) sú spojené s výstupmi (16B) registra (16) stavov a parametrov a výstup (20A) so vstupmi (A21) I. bloku (21) synchronizácie a (C22) II. bloku (22) synchronizácie, pričom

čom I. blok (21) synchronizácie je svojím výstupom (21A) spojený so vstupmi (A22) II. bloku (22) synchronizácie a (A23) bloku (23) čítania prijatých znakov, z ktorého výstup (23A) je spojený so vstupom (D22) II. bloku (22) synchronizácie a so vstupmi (B25) bloku (25) zápisu a (B27) bloku (27) povolenia aktivity a jeho ďalší vstup (A27) je spojený so vstupom (A25) bloku (25) zápisu a s výstupom (22A) z II. bloku (22) synchronizácie, zatiaľ čo výstup (28A) bloku (28) časovania prijímača je spojený so vstupom (B15) bloku (15) generovania CRC a ďalšími vstupmi (B19) deserializátora (19) a (B23) bloku (23) čítača prijatých znakov, pričom výstup (28B) bloku (28) časovania prijímača je spojený so vstupom (C25) bloku (25) zápisu a so vstupom (C24) bloku (24) dátovej dostupnosti prijímača a výstup (28C) bloku (28) časovania prijímača je spojený so vstupom (B26) bloku (26) aktivity prijímača a posledný výstup (28D) bloku (28) časovania prijímača je spojený so vstupom (C15) bloku (15) generovania CRC, ktorého výstup (15A) je spojený so vstupom (C17) dátového registra (17) prijímača a výstup (18A) z ďalšieho bloku registra (18) stavov prijímača je spojený so vstupom (A24) bloku (24) dátovej dostupnosti prijímača a so vstupmi (B21) I. bloku (21) synchronizácie a (B22) II. bloku (22) synchronizácie, pričom ďalší výstup (18C) z registra (18) stavov prijímača je spojený so vstupom (D25) bloku (25) zápisu a so vstupmi (C27) bloku (27) povolenia aktivity, z ktorého výstup (27A) je spojený so vstupom (A26) bloku (26) aktivity prijímača a jeho výstup (26A) je spojený so vstupom (C18) registra (18) stavov prijímača a blok (25) zápisu je svojím výstupom (25B) spojený so vstupom (B17) dátového registra (17) prijímača.



(19)



ÚRAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVEDČENÍU

[22] Prihlásené 03 12 82
[21] [PV 8717-82]

[40] Zverejnené 26 08 83

[45] Vydané 15 11 86

230881
(11) (B1)

[51] Int. Cl.³
H 02 J 7/06

(75)

Autor vynálezu

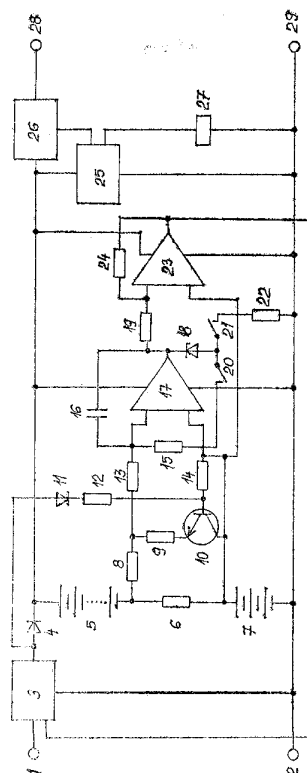
BREŽÁNI VLADIMÍR ing., ŽILINA

(54) Zapojenie pre nabíjanie akumulátorov

1

Zapojenie je určené pre automatické nabíjanie akumulátorov určených pre záložovanie napájania systémov pri výpadu sieťového napätia. Zapojenie sleduje veľkosť odoberaného náboja z akumulátora a zabezpečuje dodanie potrebného náboja do akumulátorov pri nabíjaní tak, aby nedochádzalo k prebíjaniu akumulátorov. Zapojenie je doplnené obvodom pre odpojenie akumulátorov pri vybití.

2



Vynález sa týka zapojenia pre nabíjanie akumulátorov.

Doteraz známe zapojenia pre nabíjanie akumulátorov využívali dva spôsoby pre určovanie dĺžky nabíjacieho cyklu. Prvý spôsob využíva sledovanie napätia akumulátorov vtedy, ak je toto napätie závislé na stupni nabitia akumulátora. Pri poklese napätia na minimálnu dovolenú hodnotu sa pripojí k akumulátoru zdroj prúdu a nabíjanie trvá dovtedy až napätie na svorkách akumulátora dosiahne hodnotu, ktorá je charakteristická pre nabitý stav akumulátora. Tento spôsob môže byť ešte doplnený snímačom teploty akumulátorov, u ktorých je napätie závislé aj od teploty, čím sa zvýši presnosť pri určovaní stavu nabitia. Druhý spôsob sa používa u akumulátorov, ktoré nemajú výraznú zmenu napätia v závislosti na stave nabitia. Tento prípad nastáva u akumulátorov, u ktorých sa svorkové napätie na začiatku nabíjania sa v krátkom čase zvýši z minimálnej hodnoty na hodnotu, ktorá sa v priebehu ďalšieho nabíjania mení len veľmi pomaly a navyše môže sa meniť i s inými parametrami, napr. teplotou, stárnutím a podobne. U tohoto typu akumulátorov by použitie prvého spôsobu nabíjania nedokázalo určiť s dostatočnou presnosťou stav nabitia. Preto sa v takýchto prípadoch používajú zapojenie s hodinami, ktoré určujú dobu, počas ktorej je do akumulátora dodávaný prúd určenej veľkosti tak, aby sa do akumulátora dodal náboj potrebný pre plné nabitie akumulátora.

Uvedené nevýhody odstraňuje zapojenie pre automatické nabíjanie akumulátorov, ktorého podstata spočíva v tom, že spínací člen je spojený so vstupnými svorkami, výstup spínacieho člena je spojený s anódami prvej a druhej diódy, katóda prvej diódy je spojená s kladným pólom prvej časti článkov akumulátorov, ktorých záporný pól je spojený s jedným vývodom snímacieho odporu a s prvým odporom, druhý vývod snímacieho odporu je spojený s kladným pólom druhej časti článkov akumulátorov, s jedným vstupom integrovaného obvodu, s jedným vstupom porovnávacieho obvodu a s kolektorom tranzistora, ktorého emitor je spojený s jedným vývodom druhého odporu, ktorého druhý vývod je spojený s druhým vývodom prvého odporu a s jedným vývodom štvrtého odporu, medzi kolektorom a bázou tranzistora je zapojený piaty odpor, k bázi tranzistora je tiež zapojený jeden vývod tretieho odporu, ktorého druhý vývod je spojený s katódou druhej diódy, druhý vývod čtvrtého odporu je spojený s druhým vstupom integrovaného obvodu, s jedným pólom kondenzátora a s jedným vývodom šiesteho odporu, ktorého druhý vývod je spojený s prvým kontaktom relé, druhý pól prvého kontaktu relé je spojený s druhým kontaktom relé, medzi druhým pólom druhého kontaktu relé a druhú vstupnú svorku je zapojený ôsmy odpor, medzi spojenie oboch

kontaktov relé je pripojená anóda zenerovej diódy, ktorej katóda je spojená s výstupom integrovaného obvodu, s druhým pólom kondenzátora a s jedným vývodom siedmeho odporu, ktorého druhý vývod je spojený s druhým vstupom porovnávacieho obvodu a s jedným vývodom deviateho odporu, ktorého druhý vývod je spojený s výstupom porovnávacieho obvodu a so vstupom pre ovládanie spínacieho člena, vývody pre napájanie integrovaného obvodu, porovnávacieho obvodu a vstupy kontrolného obvodu sú spojené s kladným pólom prvej časti článkov akumulátorov a so záporným pólom druhej časti článkov akumulátorov, jeden výstup kontrolného obvodu je spojený s ovládacím vstupom vypínacieho obvodu, ktorého vstup je spojený s kladným pólom prvej časti článkov akumulátorov, výstup vypínacieho obvodu je spojený s prvou výstupnou svorkou, druhý výstup kontrolného obvodu je spojený s jedným vývodom relé, ktorého druhý vývod je spojený s druhou výstupnou svorkou, ktorá je spojená s druhou vstupnou svorkou.

Výhoda uvedeného zapojenia je, že akumulátory sú automaticky dobíjané i pri čiastočnom vybití ihneď po obnovení dodávky prúdu, čím sa zvýši pohotovosť akumulátorov pre zálohovanie pri výpadku napätia, pritom akumulátory nie sú prebíjané a tiež to, že nabíjanie nie je závislé na veľkosti nabíjacieho a vybíjacieho prúdu.

Zapojenie pre nabíjanie akumulátorov je nakreslené na výkrese. Spínací člen 3 je spojený so vstupnými svorkami 1, 2, výstup spínacieho člena 3 je spojený s anódami prvej a druhej diódy 4, 11, katóda prvej diódy 4 je spojená s kladným pólom prvej časti článkov akumulátorov 5, ktorých záporný pól je spojený s jedným vývodom snímacieho odporu 6 a s prvým odporom 8, druhý vývod snímacieho odporu 6 je spojený s kladným pólom druhej časti článkov akumulátorov 7, s jedným vstupom integrovaného obvodu 17, s jedným vstupom porovnávacieho obvodu 23 a s kolektorom tranzistora 10, ktorého emitor je spojený s jedným vývodom druhého odporu 9, ktorého druhý vývod je spojený s druhým vývodom prvého odporu 8 a s jedným vývodom štvrtého odporu 13, medzi kolektorom a bázou tranzistora 10 je zapojený piaty odpor 14, k bázi tranzistora je tiež zapojený jeden vývod tretieho odporu 12, ktorého druhý vývod je spojený s katódou druhej diódy 11, druhý vývod štvrtého odporu 13 je spojený s druhým vstupom integrovaného obvodu 17, s jedným pólom kondenzátora 16 a s jedným vývodom šiesteho odporu 15, ktorého druhý vývod je spojený s prvým kontaktom relé 20, druhý pól prvého kontaktu relé 20 je spojený s druhým kontaktom relé 21, medzi druhým pólom druhého kontaktu relé 21 a druhú vstupnú svorku 2 je zapojený ôsmy odpor 22, medzi spojenie oboch kontaktov re-

lé 20, 21 je pripojená anóda Zenerovej diódy 18, ktorej katóda je spojená s výstupom integrovaného obvodu 17, s druhým pólom kondenzátora 16 a s jedným vývodom siedmeho odporu 19, ktorého druhý vývod je spojený s druhým vstupom porovnávacieho obvodu 23 a s jedným vývodom deviateho odporu 24, ktorého druhý vývod je spojený s výstupom porovnávacieho obvodu 23 a so vstupom pre ovládanie spínacieho člena 3, vývody pre napájanie integrovaného obvodu 17, porovnávacieho obvodu 23 a vstupy kontrolného obvodu 25 sú spojené s kladným pólom prvej časti článkov akumulátorov 5 a so záporným pólom druhej časti článkov akumulátorov 7, jeden výstup kontrolného obvodu 25 je spojený s ovládacím vstupom vypínacieho obvodu 26, ktorého vstup je spojený s kladným pólom prvej časti článkov akumulátorov 5, výstup vypínacieho obvodu 26 je spojený s prvou výstupnou svorkou 28, druhý výstup kontrolného obvodu 25 je spojený s jedným vývodom relé 27, ktorého druhý vývod je spojený s druhou svorkou 29, ktorá je spojená s druhou vstupnou svorkou 2.

Cez vstupné svorky 1 a 2 sa privádza napätie na spínací člen 3, ktorého zapnutie je ovládané z porovnávacieho obvodu 23. Prúd pre nabíjanie sa privádza do akumulátorov cez prvú diódu 4. Články akumulátorov sú rozdelené do dvoch častí 5 a 7 spojených do série pomocou snímacieho odporu 6. Napätie zo snímacieho odporu 6 je privádzané na delič zložený z prvého odporu 8 a druhého odporu 9. Tento delič sa uplatňuje pri nabíjaní, keď sa pri prítomnosti napätia na vstupných svorkách 1 a 2 prúdom cez druhú

diódu 11 a tretí odpor 12 otvorí tranzistor 10. Pri vybíjaní akumulátorov nie je na vstupných svorkách 1 a 2 napätie a tranzistor 10 je zatvorený. Tým sa zabezpečí požiadavka väčšieho náboja potrebného pre nabitie, než bol náboj odobraný z akumulátorov pri predchádzajúcom vybíjaní. Napätie zo snímacieho odporu 6 sa vedie cez prvý odpor 8 na vstup integrátora zloženého z integrovaného obvodu 17, štvrtého odporu 13 a kondenzátora 16. Z integrovaného obvodu 17 sa vedie napätie na porovnávací obvod 23 cez siedmy odpor 19. Z porovnávacieho obvodu 23 sa privádza napätie na spínací člen 3. Z akumulátorov sa privádza napätie na kontrolný obvod 25 a cez vypínací obvod 26 na výstupné svorky 28 a 29. Kontrolný obvod 25 rozpojí vypínací obvod 26 pri vybití akumulátorov na minimálnu hodnotu napätia a zároveň generuje impulz pre zopnutie relé 27. Relé 27 svojimi kontaktami 20 a 21 zabezpečí na výstupe integrátora napätie, ktoré je úmerné veľkosti náboja potrebného pre plné nabitie akumulátorov. Pri čiastočnom vybití je na výstupe integrátora napätie úmerné odoberanému náboju a pri prerušení vybíjania sa toto napätie nemení, až pri pripojení napätia na vstupné svorky 1 a 2 sa pri nabíjaní napätie na výstupe integrovaného obvodu 17 znižuje dovtedy, pokiaľ porovnávací obvod 23 nezastaví nabíjanie vypnutím spínacieho člena 3.

Uvedené zapojenie je určené pre použitie v systémoch zálohovania napájania zariadení, ktoré si vyžadujú neprerušované napájanie. Zapojenie možno použiť pre ľubovoľný typ akumulátorov.

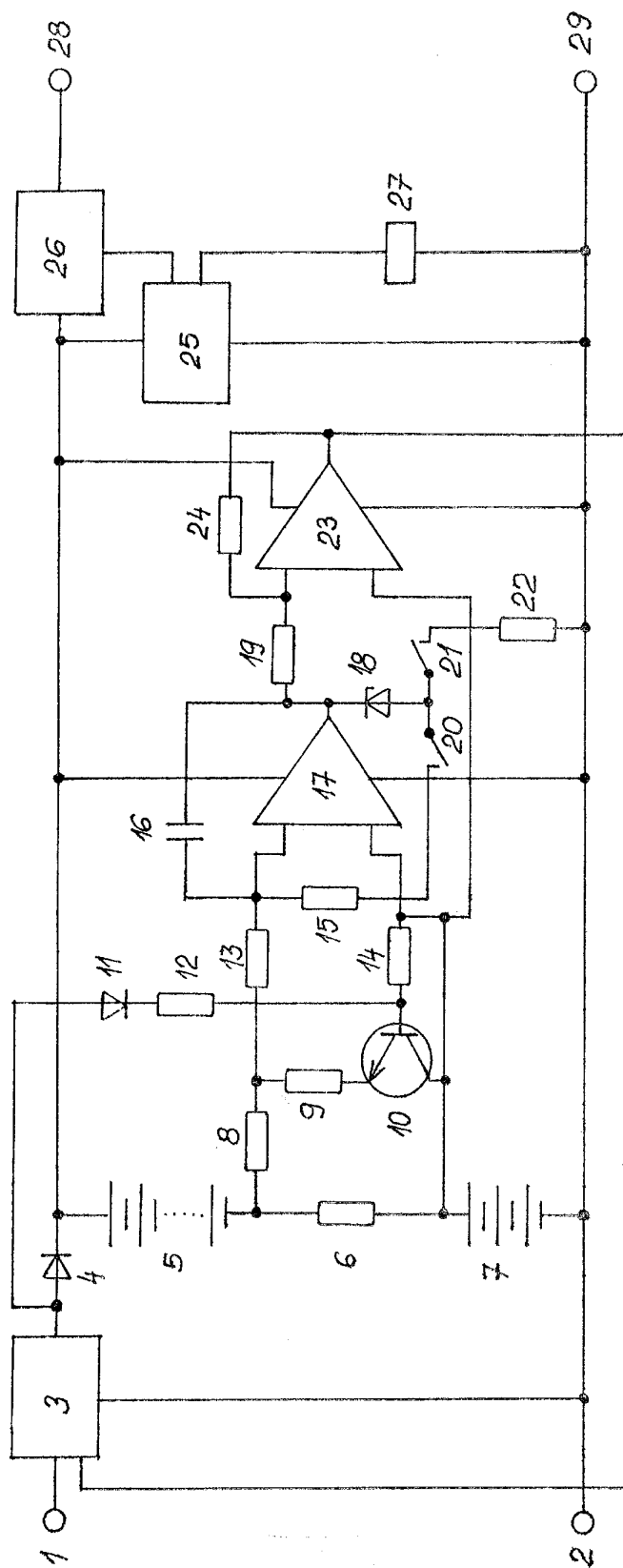
PREDMET VYNÁLEZU

Zapojenie pre nabíjanie akumulátorov vyznačujúce sa tým, že spínací člen (3) je spojený so vstupnými svorkami (1, 2), výstup spínacieho člena (3) je spojený s anódami prvej a druhej diódy (4, 11), katóda prvej diódy (4) je spojená s kladným pólom prvej časti článkov akumulátorov (5), ktorých záporný pól je spojený s jedným vývodom snímacieho odporu (6) a s prvým odporom (8), druhý vývod snímacieho odporu (6) je spojený s kladným pólom druhej časti článkov akumulátorov (7), s jedným vstupom integrovaného obvodu (17), s jedným vstupom porovnávacieho obvodu (23) a s kolektorom tranzistora (10), ktorého emitor je spojený s jedným vývodom druhého odporu (9), ktorého druhý vývod je spojený s druhým vývodom prvého odporu (8) a s jedným vývodom štvrtého odporu (13), medzi kolektorom a bázou tranzistora (10) je zapojený piaty odpor (14), k báze tranzistora (10) je tiež zapojený jeden vývod tretieho odporu (12), ktorého druhý vývod je spojený s katódou druhej diódy

(11), druhý vývod štvrtého odporu (13) je spojený s druhým vstupom integrovaného obvodu (17), s jedným pólom kondenzátora (16) a s jedným vývodom šiesteho odporu (15), ktorého druhý vývod je spojený s prvým kontaktom relé (20), druhý pól prvého kontaktu relé (20) je spojený s druhým kontaktom relé (21), medzi druhý pól druhého kontaktu relé (21) a druhú vstupnú svorku (2) je zapojený ôsmy odpor (22), medzi spojenie oboch kontaktov relé (20, 21) je pripojená anóda Zenerovej diódy (18), ktorej katóda je spojená s výstupom integrovaného obvodu (17), s druhým pólom kondenzátora (16) a s jedným vývodom siedmeho odporu (19), ktorého druhý vývod je spojený s druhým vstupom porovnávacieho obvodu (23) a s jedným vývodom deviateho odporu (24), ktorého druhý vývod je spojený s výstupom porovnávacieho obvodu (23) a so vstupom pre ovládanie spínacieho člena (3), vývody pre napájanie integrovaného obvodu (17), porovnávacieho obvodu

(23) a vstupy kontrolného obvodu (25) sú spojené s kladným pólom prvej časti článkov akumulátorov (5) a so záporným pólom druhej časti článkov akumulátorov (7), jeden výstup kontrolného obvodu (25) je spojený s ovládacím vstupom vypínacieho obvodu (26), ktorého vstup je spojený s kladným pólom prvej časti článkov akumulátorov

(5), výstup vypínacieho obvodu (26) je spojený s prvou výstupnou svorkou (28), druhý výstup kontrolného obvodu (25) je spojený s jedným vývodom relé (27), ktorého druhý vývod je spojený s druhou výstupnou svorkou (29), ktorá je spojená s druhou vstupnou svorkou (2).





ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA

ÚŘAD PRO VYNÁLEZY A OBJEVY V PRAZE

AUTORSKÉ OSVĚDČENÍ

ČÍSLO 2 3 1 5 2 0

ÚŘAD PRO VYNÁLEZY A OBJEVY V PRAZE
UDĚLIL PODLE § 37, ODS. 1 ZÁKONA
Č. 84/1972 SB. AUTORSKÉ OSVĚDČENÍ
NA VYNÁLEZ, JEHOŽ POPIS JE PŘIPOJEN.
AUTOR VYNÁLEZU:

Hlušek Ján ing., Žilina

Schwartz Ladislav ing., Žilina



AUTORSKÉ OSVĚDČENÍ BYLO ZAPSÁNO
DO REJSTRÍKU VYNÁLEZŮ POD SHORA
UVEDENÝM ČÍSLEM.

VYNÁLEZ JE NÁRODNÍM MAJETKEM.
STÁT MÁ PRÁVO VYUŽÍVAT A POVINNOST
PEČOVAT O CO NEJŠIRŠÍ VYUŽÍVÁNÍ
VYNÁLEZU (§ 6 ZÁKONA Č. 84/1972 SB.).

PŘIHLÁŠKA VYNÁLEZU

PV 4809-82

PŘEDSEDA

V PRAZE

9. října 1986

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(18)

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

231520
(11) (B1)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

(22) Prihlášené 28 06 82
(21) (PV 4809-82)

(51) Int. C1.3
G 06 F 3/00

(40) Zverejnené 15 09 83

(45) Vydané 15 12 86

(75)

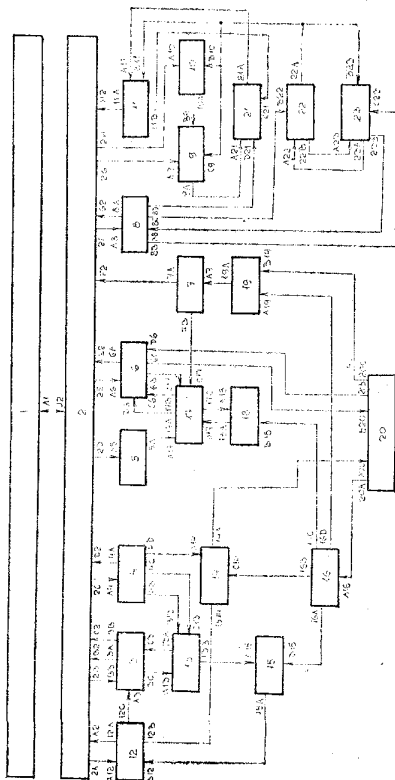
Autor vynálezu

HLUŠEK JÁN ing., SCHWARTZ LADISLAV ing., ŽILINA

(54) Zapojenie synchronného adaptora pre počítačové systémy so spoločnou zbernicou a synchronnou komunikáciou v procedúrach bytovo orientovaných označovaného písmenom B

1

Synchronný adaptor označovaný písmenom B je určený na pripojenie počítačových systémov so spoločnou zbernicou k počítačovým systémom používajúcim bytovo orientované procedúry prenosu dát ako i na vzájomné prepojenie počítačových systémov so spoločnou zbernicou. Zapojenie synchronného adaptora — B zabezpečuje vysielanie i príjem synchronnej informácie ako i výpočet zabezpečovacej postupnosti.



Vynález sa týka zapojenia synchrónneho adaptora pre počítačové systémy so spoločnou zbernicou a synchrónnou komunikáciou v procedúrach bytovo orientovaných označovaného písmenom B.

Doteraz známe zapojenia synchrónneho adaptora umožňujú prenos v procedúrach bitovo, bitovo-bytovo alebo bytovo orientovaných. Avšak zapojenie synchrónneho adaptora pre prenos v procedúrach bytovo orientovaných je zložité, pozostáva z dvoch zariadení samostatne pripojených na zbernicu počítačového systému, predstavuje dve záťaž pre zbernicu a je realizované na dvoch doskách plošných spojov.

Vyššie uvedené nedostatky odstraňuje zapojenie synchrónneho adaptora pre počítačové systémy so spoločnou zbernicou a synchrónnou komunikáciou v procedúrach bytovo orientovaných označovaného písmenom B, podľa vynálezu, ktorého podstata je v tom, že prvé výstupy bloku styku so zbernicou sú pripojené na vstupy bloku riadenia vysielateľa, na ktorého hradlovací vstup je pripojený výstup čítača vyslaných bitov, pričom výstup bloku riadenia vysielateľa je spojený so zapisovacím vstupom serializátora, zatiaľ čo výstup bloku riadenia vysielateľa je pripojený na prvý vstup bloku styku so zbernicou a výstup bloku riadenia vysielateľa je spojený so vstupom stavového registra vysielateľa, ktorého vstupy sú spojené s druhými výstupmi bloku styku so zbernicou, na ktorého druhé vstupy sú pripojené výstupy stavového registra vysielateľa a tretie vstupy bloku styku so zbernicou sú pripojené k výstupom stavového registra vysielateľa, ktorého výstup je spojený so vstupom hradlovacieho bloku, ktorého druhý výstup je spojený s uvoľňovacím vstupom čítača vyslaných bitov, zatiaľ čo hodinový vstup čítača vyslaných bitov je spojený s prvým výstupom bloku časovania, ktorého druhý výstup je pripojený na časovací vstup serializátora, pričom výstup serializátora je spojený so vstupom bloku prevodníkov, ktorého výstupu sú spojené so vstupmi bloku časovania, zatiaľ čo tretie výstupy bloku styku so zbernicou sú pripojené na vstupy dátového registra vysielateľa, ktorého výstupy sú spojené so vstupmi serializátora, pričom výstup dátového registra vysielateľa je spojený so vstupom hradlovacieho bloku, ktorého výstup je spojený so vstupom stavového registra vysielateľa a štvrté vstupy bloku styku so zbernicou sú pripojené na výstupy dátového registra vysielateľa, ktorého výstup je spojený so vstupom hradlovacieho bloku, zatiaľ čo blok styku so zbernicou je svojimi štvrtými výstupmi spojený so vstupmi registra parametrov, ktorého výstupy sú spojené so vstupmi bloku riadenia prijímateľa a taktiež bloku styku so zbernicou je svojimi piatymi výstupmi spojený so vstupmi registra stavov, ktorý je prvými riadiacimi výstupmi spojený so vstupmi bloku styku so zbernicou, zatiaľ čo blok

prevodníkov je riadiacimi výstupmi spojený so vstupmi registra stavov prijímateľa, ktorý je druhými riadiacimi výstupmi spojený so vstupmi bloku prevodníkov a tento je spojený dátovým výstupom so vstupom deserializátora, ku ktorému je pripojený na hodinový vstup výstup bloku časovania, pričom výstupy deserializátora sú pripojené na vstupy prijímacieho dátového registra, ktorého prvé dátové výstupy sú pripojené na šieste vstupy bloku styku so zbernicou a druhé dátové výstupy prijímacieho dátového registra sú pripojené na vstupy bloku riadenia prijímateľa, ktorý je spojený prvým riadiacim výstupom so vstupom čítača prijatých bitov a na jeho hodinový vstup je pripojený výstup bloku časovania, zatiaľ čo výstup čítača prijatých bitov je pripojený na vstup bloku riadenia a jeho druhý riadiaci výstup je pripojený na vstup registra stavov prijímateľa, pričom tretí riadiaci výstup bloku riadenia prijímateľa je pripojený na vstup registra stavov prijímateľa, ktorého tretí riadiaci výstup je pripojený na vstup bloku riadenia prijímateľa, zatiaľ čo šieste výstupy bloku styku so zbernicou sú spojené so vstupmi stavového registra pomocnej aritmetiky, ktorého výstup je pripojený na vstup bloku riadenia pomocnej aritmetiky, pričom výstup stavového registra pomocnej aritmetiky je pripojený na vstup bloku časovania pomocnej aritmetiky, na ktorého ďalší vstup je pripojený výstup bloku riadenia pomocnej aritmetiky, zatiaľ čo časovací výstup bloku časovania pomocnej aritmetiky je pripojený na hodinový vstup bloku riadenia pomocnej aritmetiky ako aj na hodinový vstup registra výpočtu zabezpečenia a ďalej na hodinový vstup dátového registra horného bytu i na hodinový vstup dátového registra dolného bytu, ktorého sériový výstup je pripojený na vstup bloku spätnej väzby, pričom druhý vstup bloku spätnej väzby je spojený s výstupom stavového registra pomocnej aritmetiky, ktorého výstupy sú pripojené na siedme vstupy bloku styku so zbernicou, pričom ôsme výstupy bloku styku so zbernicou sú pripojené na vstupy dátového registra horného bytu, ktorého sériový výstup je spojený so sériovým vstupom dátového registra dolného bytu, zatiaľ čo na vstupy dátového registra dolného bytu sú pripojené na siedme vstupy bloku styku so zbernicou, ktorého ôsme vstupy sú spojené s výstupmi registra výpočtu zabezpečenia, ktorého sériový výstup je prepojený so vstupom bloku spätnej väzby, pričom výstup bloku spätnej väzby je spojený so vstupom registra výpočtu zabezpečenia, zatiaľ čo výstup bloku časovania pomocnej aritmetiky je spojený so vstupom bloku riadenia pomocnej aritmetiky, ktorého výstup je privedený na dátový vstup stavového registra pomocnej aritmetiky.

Zapojenie synchrónneho adaptora ozna-

čovaného písmenom B podľa tohto vynálezu je oproti doteraz známym zapojeniam výhodné preto, lebo je realizované s menším počtom súčiastok, je umiestnené na jednej doske plošných spojov a predstavuje len jednu záťaž pre zbernicu počítačového systému.

Na priloženom výkrese je zobrazená celková bloková schéma synchronného adaptora označovaného písmenom B.

Synchronný adaptor označovaný písmenom B je na spoločnú zbernicu 1 počítačového systému pripojený prostredníctvom bloku 2 styku so zbernicou, ktorý generuje signály pre zápis alebo čítanie niektorého z nasledovných registrov: stavového registra 3 vysielateľa, dátového registra 4 vysielateľa, registra 5 parametrov, registra 6 stavov prijímateľa, prijímacieho dátového registra 7, stavového registra 8 pomocnej aritmetiky, dátového registra 9 dolného byte, dátového registra 8 horného byte a registra 11 výpočtu zabezpečenia. Vysielateľ slúži na serializáciu vysielaných dát a zabezpečovacej postupnosti. Časovanie vysielateľa je generované v bloku 16 časovania a je závislé od časovacích signálov 20A bloku 20 prevodníkov, ktoré sú pripojené na vstupy A16 bloku 16 časovania. Prvý výstup 16A bloku 16 časovania je pripojený na hodinový vstup B15 čítača 15 vyslaných bitov, zatiaľ čo na uvoľňovací vstup A15 je privedený druhý výstup 13B hradlovacieho bloku 13. Uvoľnenie činnosti vysielateľa nastane po nastavení zapisovacieho signálu a stavových bitov 2B bloku 2 styku so zbernicou, ktoré sú privedené na vstupy B3 stavového registra 3 vysielateľa a po nastavení zapisovacieho signálu, stavových a dátových bitov 2C, ktoré sú pripojené na vstupy A4 dátového registra 4 vysielateľa. V závislosti na vstupoch A13, B13, C13 hradlovacieho bloku 13 sa nastaví jeho výstup 13B, ktorým sa uvoľňuje činnosť čítača 15 vyslaných bitov. Výstup 15A čítača 15 vyslaných bitov sa nastaví po vyslaní celého bytu a spôsobí generovanie žiadosti o prerušenie po nastavení výstupu 12A v bloku 12 riadenia vysielateľa. Zároveň sa nastaví aj výstup 12B, ktorý povolí prepis dátového bytu z dátového registra 4 vysielateľa do serializátora 14.

Pri prijímaní sa zapíše z bloku 2 styku so zbernicou cez štvrté výstupy 2D do vstupov A5 registra 5 parametrov synchronizačný znak, ktorý sa cez výstupy 5A a vstupy A17 porovnáva v bloku 17 riadenia prijímateľa s prijímanými znakmi a ďalej sa z bloku 2 styku so zbernicou cez piate výstupy 2E a vstupy A6 zapíše do registra 6 stavov prijímateľa riadiace signály modemu a povolenie činnosti prijímateľa, na základe čoho sa signálom z tretieho riadiaceho výstupu 6B vstupujúceho do vstupy B17 bloku 17 riadenia prijímateľa povolí činnosť prijímateľa, čo má za následok, že prichádzajúce dáta z dátového vstupu 20C bloku 20 prevodníkov vstupujú do vstupu B19 deserializátora

19 spolu s hodinami prichádzajúcimi z bloku 16 časovania z jeho výstupu 16D do hodinového vstupu A19 deserializátora 19, z ktorého prijatý znak je prepísaný z výstupov 19A do vstupov A7 prijímacieho dátového registra 7, odkiaľ je znak ďalej predložený riadiacemu programu cez prvé dátové výstupy 7A, ktoré vstupujú do vstupov F2 bloku 2, styku so zbernicou a súčasne je porovnaný cez druhé dátové výstupy 7B prijímacieho dátového registra 7 a výstupy C17 bloku 17 riadenia prijímateľa s už zapísaným synchronizačným znakom do registra 5 parametrov, ako výsledok tohto porovnania generuje blok 17 riadenia prijímateľa signál, ktorý je výsledkom dvojnásobnej zhody, čo znamená, že nasledovali za sebou dva synchronizačné znaky a tento signál cez prvý riadiaci výstup 17C bloku 17 riadenia prijímateľa vstupuje do vstupu A18 čítača 18 prijatých bitov nasynchronizuje jeho činnosť a zároveň do tohto bloku vstupujú do hodinového vstupu B18 čítača 18 prijatých bitov hodiny z výstupu 16C bloku 16 časovania, čo spôsobuje v čítači 18 prijatých bitov pravidelné nastavovanie po rôznych prijatých bitoch signálu na výstupe 18A, ktorý vstupuje do vstupu D17 bloku 17 riadenia prijímateľa, kde spôsobí na začiatku správy nastavenie signálu aktivity prijímateľa na trefom riadiacom výstupe 17B, ktorý vstupuje do vstupu C6 registra 6 stavov prijímateľa, a taktiež spôsobuje po každom prijatom znaku nastavovanie signálu na druhom riadiacom výstupe 17A bloku 17 riadenia, prijímateľa vstupujúceho do vstupu B6 registra 6 stavov prijímateľa a ďalej prostredníctvom registra 6 stavov prijímateľa je riadený modem druhými riadiacimi výstupmi 6C vstupujúcimi do vstupov B20 bloku 20 prevodníkov odkiaľ ako kontrolné signály riadenia modemu vystupujú riadiace výstupy 20B vstupujúce do vstupov D6 registra 6 stavov prijímateľa, odkiaľ sú predávané riadiacemu programu spolu so signálmi zo vstupov B6, C6 cez prvé riadiace výstupy 6A registra 6 stavov prijímateľa do vstupov E2 bloku 2 styku so spoločnou zbernicou.

Zabezpečovacia postupnosť sa vypočíta pred vyslaním bloku dát alebo v priebehu jeho vysielania. Nastavením zapisovacieho signálu a stavových bitov 2F v bloku 2 styku so zbernicou, ktoré sú privedené na vstupy A8 stavového registra 8 pomocnej aritmetiky, sú určené spätné väzby v bloku 21 spätnej väzby pre výpočet pozdĺžnej parity alebo cyklického zabezpečenia. Dáta, z ktorých je vypočítavané zabezpečenie spoločne so zapisovacími signálmi sú privádzané na vstupy A9, A10 dátových registrov 9, 10 dolného a horného bytu, pričom sériový výstup 10A dátového registra 10 horného bytu je spojený so sériovým vstupom B9 dátového registra 9 dolného bytu, ktorého sériový výstup 9A je privedený na vstup A21 bloku 21 spätnej väzby. Časovanie sa zaistú-

je v bloku 22 časovania spätnej väzby. Na základe nastavenia výstupu 8B stavového registra 8 pomocnej aritmetiky sa na výstupe 22A bloku 22 časovania pomocnej arit-

metiky generuje osem alebo šesťnásť časovacích impulzov. Výsledná zabezpečovacia postupnosť sa prečíta z výstupov 11A registra 11 výpočtu zabezpečenia.

PREDMET VYNÁLEZU

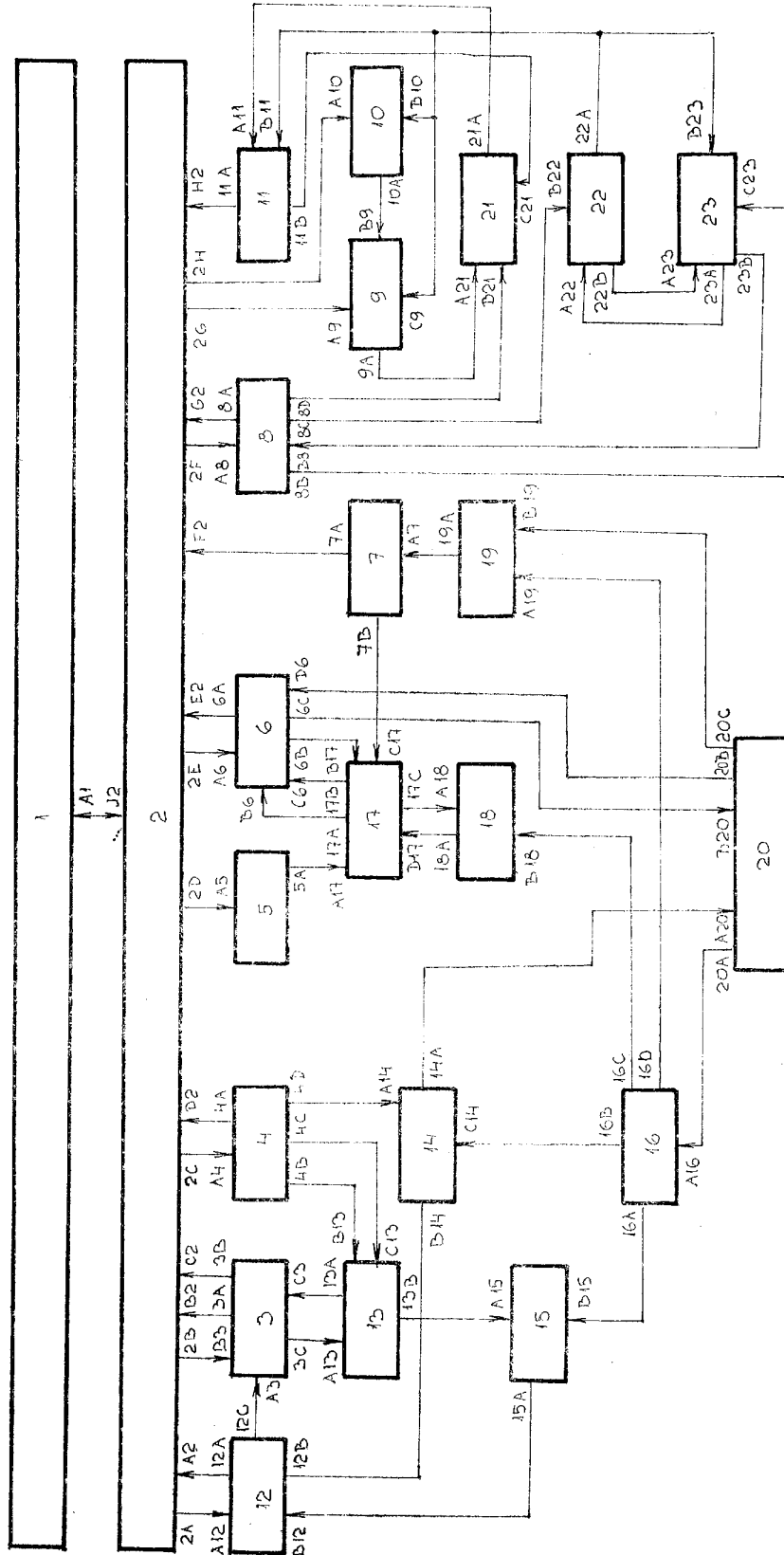
Zapojenie synchronného adaptora pre počítačové systémy so spoločnou a synchronnou komunikáciou v procedúrach bytovo orientovaných označovaného písmenom B, vyznačujúce sa tým, že prvé výstupy (2A) bloku (2) styku so zbernicou sú pripojené na vstupy (A12) bloku (12) riadenia vysielача, na ktorého hradlovací vstup (B12) je pripojený výstup (15A) čítača (15) vyslaných bitov, pričom výstup (12B) bloku (12) riadenia vysielача je spojený so zapisovacím vstupom (B14) serializátora (14), zatiaľ čo výstup (12A) bloku (12) riadenia vysielача je pripojený na prvý vstup (A2) bloku (2) styku so zbernicou a výstup (12C) bloku (12) riadenia vysielача je spojený so vstupom (A3) stavového registra (3) vysielача, ktorého vstupy (B3) sú spojené s druhými výstupmi (2B) bloku (2) styku so zbernicou, na ktorého druhé vstupy (B2) sú pripojené výstupy (3A) stavového registra (3) vysielача a tretie vstupy (C2) bloku (2) styku so zbernicou sú pripojené k výstupom (3B) stavového registra (3) vysielача, ktorého výstup (3C) je spojený so vstupom (A13) hradlovacieho bloku (13), ktorého druhý výstup (13B) je spojený s uvoľňovacím vstupom (A15) čítača (15) vyslaných bitov, zatiaľ čo hodinový vstup (B15) čítača (15) vyslaných bitov je spojený s prvým výstupom (16A) bloku (16) časovania, ktorého druhý výstup (16B) je pripojený na časovací vstup (C14) serializátora (14), pričom výstup (14A) serializátora (14) je spojený so vstupom (A20) bloku (20) prevodníkov, ktorého výstupy (20A) sú spojené so vstupmi (A16) bloku (16) časovania, zatiaľ čo tretie výstupy (2C) bloku (2) styku so zbernicou sú pripojené na vstupy (A4) dátového registra (4) vysielача, ktorého výstupy (4D) sú spojené so vstupmi (A14) serializátora (14), pričom výstup (4B) dátového registra (4) vysielача je spojený so vstupom (B13) hradlovacieho bloku (13), ktorého výstup (13A) je spojený so vstupom (C3) stavového registra (3) vysielача a štvrté vstupy (D2) bloku (2) styku so zbernicou sú pripojené na výstupy (4A) dátového registra (4) vysielача, ktorého výstup (4C) je spojený so vstupom (C13) hradlovacieho bloku (13), zatiaľ čo blok (2) styku so zbernicou je svojimi štvrtými výstupmi (2D) spojený so vstupmi (A5) registra (5) parametrov, ktorého výstupy (5A) sú spojené so vstupmi (A17) bloku (17) riadenia prijímača a taktiež blok (2) styku so zbernicou je svojimi piatimi výstupmi (2E) spojený so vstupmi (A16) registra (6) sta-

vov, ktorý je prvými riadiacimi výstupmi (6A) spojený so vstupmi (E2) bloku (2) styku so zbernicou, zatiaľ čo blok (20) prevodníkov je riadiacimi výstupmi (20B) spojený so vstupmi (D6) registra (6) stavov prijímača, ktorý je druhými riadiacimi výstupmi (6C) spojený so vstupmi (B20) bloku (20) prevodníkov, a tento je spojený dátovým výstupom (20C) so vstupom (B19) deserializátora (19), ku ktorému je pripojený na hodinový vstup (A19) výstup (16D) bloku (16) časovania, pričom výstupy (19A) deserializátora (19) sú pripojené na vstupy (A7) prijímacieho dátového registra (7), ktorého prvé dátové výstupy (7A) sú pripojené na šieste vstupy (F2) bloku (2) styku so zbernicou, a druhé dátové výstupy (7B) prijímacieho dátového registra (7) sú pripojené na vstupy (C17) bloku (17) riadenia prijímača, ktorý je spojený prvými riadiacimi výstupom (17C) so vstupom (A18) čítača (18) prijatých bitov, a na jeho hodinový vstup (B18) je pripojený výstup (16C) bloku (16) časovania, zatiaľ čo výstup (18A) čítača (18) prijatých bitov je pripojený na vstup (D17) bloku (17) riadenia a jeho druhý riadiaci výstup (17A) je pripojený na vstup (B6) registra (6) stavov prijímača, pričom tretí riadiaci výstup (17B) bloku (17) riadenia prijímača je pripojený na vstup (C6) registra (6) stavov prijímača, ktorého tretí riadiaci výstup (6B) je pripojený na vstup (B17) bloku (17) riadenia prijímača, zatiaľ čo šieste výstupy (2F) bloku (2) styku so zbernicou sú spojené so vstupmi (A8) stavového registra (8) pomocnej aritmetiky, ktorého výstup (8B) je pripojený na vstup (C23) bloku (23) riadenia pomocnej aritmetiky, pričom výstup (8C) stavového registra (8) pomocnej aritmetiky je pripojený na vstup (B22) bloku (22) časovania pomocnej aritmetiky, na ktorého ďalší vstup (A22) je pripojený výstup (23A) bloku (23) riadenia pomocnej aritmetiky, zatiaľ čo časovací výstup (22A) bloku (22) časovania pomocnej aritmetiky je pripojený na hodinový vstup (B23) bloku (23) riadenia pomocnej aritmetiky, ako aj na hodinový vstup (B11) registra (11) výpočtu zabezpečenia a ďalej na hodinový vstup (B10) dátového registra (10) horného bytu i na hodinový vstup (C9) dátového registra (9) dolného bytu, ktorého sériový výstup (9A) je pripojený na vstup (A21) bloku (21) spätnej väzby, pričom druhý vstup (B21) bloku (21) spätnej väzby je spojený s výstupom (8D) stavového registra (8) pomoc-

nej aritmetiky, ktorého výstupy (8A) sú pripojené na siedme vstupy (G2) bloku (2) styku so zbernicou, pričom ôsme výstupy (2H) bloku (2) styku so zbernicou sú pripojené na vstupy (A10) dátového registra (10) horného bytu, ktorého sériový výstup (10A) je spojený so sériovým vstupom (B9) dátového registra (9) dolného bytu, zatiaľ čo na vstupy (A9) dátového registra (9) dolného bytu sú pripojené na siedme vstupy (2G) bloku (2) styku so zbernicou, ktorého ôsme vstupy (H2) sú spojené s výstupmi (11A)

registra (11) výpočtu zabezpečenia, ktorého sériový výstup (11B) je prepojený so vstupom (C21) bloku (21) spätnej väzby, pričom výstup (21A) bloku (21) spätnej väzby je spojený so vstupom (A11) registra (11) výpočtu zabezpečenia, zatiaľ čo výstup (22A) bloku (22) časovania pomocnej aritmetiky je spojený so vstupom (A23) bloku (23) riadenia pomocnej aritmetiky, ktorého výstup (23B) je privedený na dátový vstup (B8) stavového registra (8) pomocnej aritmetiky.

231520





POPIS VYNÁLEZU

232 204

(11) (B1)

K AUTORSKÉMU OSVEDČENIU

(61)

(23) Výstavná priorita

(22) Prihlásené 07 07 83

(21) (PV 747-80)

(51) Int. Cl. G 06 K 11/00

ÚŘAD PRO VYNÁLEZY

A OBJEVY

(40) Zverejnené 18 06 84

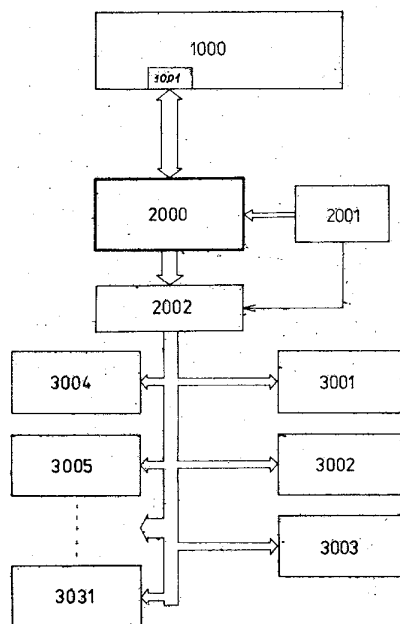
(45) Vydané 01 03 87

(75)

Autor vynálezu TUČKOVÁ VLASTA ing., ŽILINA
KOKES JOZEF ing., KYSUCKÉ NOVÉ MESTO

(54) Riadiaca jednotka informačných tabúl

Riadiaca jednotka informačných tabúl Pragotron podľa vynálezu je určená na automatické riadenie systému informačných tabúl Pragotron zaradeného, ako výstupný informačný terminál, do výrobného alebo technologického procesu riadeného riadiacim počítačom RPP-16S, prípadne i RPP-16M v reálnom čase a multiprogramovom režime. Podstatou vynálezu je, že výstup z počítača RPP-16S je cez kanál jednoslovných prenosov pripojený na vstupný blok Riadiacej jednotky Pragotron, tj. na blok výkonového zosilnenia signálov, ktorý je spojený s blokom kontroly parity a blokom pamäti adresy "riadku", blokom pamäti adresy "tabuľa" a pamäťovými blokmi prvej až piatej zobrazovacej jednotky. Blok čítania informácie po jednotlivých slovách je spojený s blokom generovania hradlovacieho signálu riadok, s blokom generovania hradlovacieho signálu tabuľa a blokmi generovania hradlovacích signálov prvej až piatej zobrazovacej jednotky. Blok dekódovania riadkov je pripojený na blok pamäti adresy riadkov a svojim výstupom je spojený s blokom výstupných konvertorov riadkov. Dekódery adres tabúl sú pripojené na pamäťový blok adresy tabuľa a svojimi výstupmi sú spojené s blokmi výstupných konvertorov adres tabúl. Výstupné konvertory sú prepojené cez rozvodnú skríň Pragotron so zobrazovacími jednotkami v informačných tabuliach Pragotron.



Vynález sa týka riadiacej jednotky informačných tabúl Pragotron v systéme riadenia výrobného alebo technologického procesu riadeného riadiacim počítačom RPP-16S, prípadne RPP-16M v reálnom čase a multiprogramovom režime.

Doterajšie riadenie informačných tabúl Pragotron je principiálne založené na manuálnom spôsobe riadenia z tzv. ručného avládacieho pultu, alebo na spôsobe, ktorého podstatou je snímanie údajov potrebných pre riadenie informačných tabúl Pragotron z vopred pripravených dierných štítkov. Obidva uvedené spôsoby riadenia informačných tabúl Pragotron sú málo flexibilné a nemôžu byť zaradené do počítačového systému riadenia pre režim on-line.

Vyššie uvedené nedostatky odstraňuje zariadenie podľa vynálezu, ktorého podstatou je, že výstup z počítača RPP-16S je cez kanál jednoslovných prenosov pripojený na vstupný blok Riadiacej jednotky Pragotron, t.j. na blok výkonového zosilnenia signálov, ktorý je spojený s blokom kontroly parity a blokom pamäti adresy riadku, blokom pamäti adresy tabuľa a pamäťovými blokmi prvej až piatej zobrazovacej jednotky. Blok čítania informácie po jednotlivých slovách je spojený s blokom generovania hradlovacieho signálu riadok, s blokom generovania hradlovacieho signálu tabuľa a blokmi generovania hradlovacích signálov prvej až piatej zobrazovacej jednotky. Blok dekódovania riadkov je pripojený na blok pamäti adresy riadkov a svojím výstupom je spojený s blokom výstupných konvertorov riadkov. Dekódery adries tabúl sú pripojené na pamäťový blok adresy tabuľa a svojimi výstupmi sú spojené s blokmi výstupných

konvertorov adres tabúľ. Výstupné konvertory sú prepojené cez rozvodnú skriňu Pragotron so zobrazovacími jednotkami v informačných tabuliach Pragotron. Riadiaca jednotka je riešená modulárne, možno ju jednoducho rozširovať a riadiť ňou prakticky ľubovoľne veľký informačný systém - komplex informačných tabúľ Pragotron v plno automatickom režime.

Riadiaci počítač pri riadení menej alebo viac zložitého výrobného alebo technologického procesu podľa vynálezu pracuje pod vhodným operačným systémom s niekoľkými desiatkami aplikačných programov. Úlohy teda rieši súbežne s prebiehajúcim výrobným a technologickým procesom, t.j. v multiprogramovom režime a reálnom čase. Rôzne údaje, medzivýsledky a výsledky programov práve spracovávaných na počítači je možné z hľadiska riadenia okamžite odovzdávať vo forme informácií, hlásení, príkazov a údajov pracovníkom pri výrobných zariadeniach, údržbe strojov a pod. Automatické riadenie informačných tabúľ Pragotron, t.j. automatické nastavovanie príslušných údajov na zobrazovacích jednotkách umožňuje Riadiaca jednotka Pragotron. Riadiaca jednotka je na jednej strane pripojená k riadiacemu počítaču a na strane druhej sú na ňu pripojené informačné tabule Pragotron (môže riadiť 1 až 31 tabúľ, pričom jedna tabuľa môže mať 1 až 6 riadkov), ktoré v automatickom režime riadi. Vynález umožňuje použiť a zaradiť informačný systém Pragotron (informačné tabule), ako dôležitý informačný terminál do počítačového systému riadenia ľubovoľného výrobného alebo technologického procesu.

Na pripojených výkresoch je znázornená Riadiaca jednotka informačných tabúľ Pragotron, kde na obr. 1 je znázornené jej pripojenie k riadiacemu počítaču a tiež pripojenie informačných tabúľ Pragotron k Riadiacej jednotke Pragotron. Na obr.č.2,3,4 a 5 sú znázornené funkčné bloky, vstupné, komunikačné a výstupné signály samotnej Riadiacej jednotky Pragotron. Na obr. 6 je znázornený spôsob riadenia jednoriadkovej a viacriadkovej informačnej tabule Pragotron.

Riadiaca jednotka informačných tabúľ Pragotron 2000, obr. 1 je pripojená k riadiacemu počítaču RPP-16S 1000 cez kanál jednoslovných prenosov 1001, ďalej je pripojená na zdroj napätia 2001. Informačné tabule Pragotron 3001 až 3031 sú pripojené na riadiacu jednotku 2000 cez rozvodnú skriňu Pragotron 2002.

Riadiaca jednotka informačných tabúlí Pragotron dekomponovaná na funkčné bloky je znázornená na obr. 2 až obr. 5. Blok výkonového zosilnenia signálov 1 je prepojený s blokom kontroly parity 3. V bloku čítania informácie po jednotlivých slovách 2 sa generujú v logickom slede hradlovacie signály 22 až 34. V bloku informácie zapnutia zdrojov a generovania signálov 20 sa generujú signály správnej činnosti zdrojov napätia 48V= a 5V=. V bloku 25 sa generujú komunikačné signály pre komunikáciu medzi funkčnými blokmi a signály pre komunikáciu s riadiacim počítačom 2000, tiež v tomto bloku sa generuje signál nulovania pamätí 31. V bloku 40 sa generuje hradlovací signál pre zápis adresy riadku do bloku pamäti adresy riadkov 50, ktorý je prepojený s blokom dekódovania riadkov 60 a tento je pripojený na blok výstupných konvertorov riadkov 70. V bloku 80 je generovaný hradlovací signál pre zápis adresy "tabuľa" do pamäťového bloku 81. Pamäťový blok adresy "tabuľa" 81 je pripojený na dekóder 82 adresy tabúlí 1 až 15 a na dekóder 83 adresy tabúlí 16 až 31. Blok 84 je blok výstupných konvertorov "adresy tabúlí 1 až 15" a blok 85 je blok výstupných konvertorov "adresy tabúlí 16 až 31". V blokoch 41 až 45 sa generujú hradlovacie signály prvej až piatej zobrazovacej jednotky. Bloky 51 až 55 sú pamäťové bloky prvej až piatej zobrazovacej jednotky. Bloky 61 až 65 sú bloky výstupných konvertorov prvej až piatej zobrazovacej jednotky.

Výstupná informácia 11 (obr.2) z riadiaceho počítača 1000 obr. 1 vstupuje do bloku výkonového zosilnenia signálov 1 obr. 2. V bloku kontroly parity 3 sa kontroluje správnosť prenosu informácie 11 nepárnu paritou, po kontrole sa vysielá signál "pe" 32. Nastavenie bloku čítania informácie po jednotlivých slovách 2 sa uskutoční po príchode signálu "pon" 21 a tým sa riadiaca jednotka 2000 uvedie do stavu pripravenosti prijať informáciu, na základe čoho počítač 1000 obr. 1 vysielá informáciu "pibo 0 až pibo 7", "pibo 16" 11 obr. 2 a signál "-sco" 33 a Riadiaca jednotka 2000 po spracovaní celej informácie vysielá signál "-ipo" 27, čím je uzavretá komunikácia s riadiacim počítačom 1000 pre jeden informačný cyklus.

Informácia je v automatickom režime riadiacej jednotky 2000 prijímaná z počítača 1000 po jednotlivých slovách - spolu sedem slov. Po príchode 1. slova - adresa tabule do riadiacej

jednotky 2000 sa generuje v bloku generovania komunikačných signálov a signálov nulovania pamätí 25 signál "-ipo" 23, ktorý v bloku čítania informácie 2 vygeneruje signál "výber tabule" 22 a tento v bloku generátora hradlovacieho signálu tabuľa 80 v súčinnosti so signálom "-sco 1" 35 spôsobí vygenerovanie hradlovacieho signálu a tento spôsobí odpamätanie v pamäťovom bloku adresy "tabuľa" 81 prvého slova vysielanej informácie 11 s významom adresy príslušnej tabule, na ktorej sa informácia bude zobrazovať. V blokoch dekódov adresy tabuľ 82 a 83 sa na základe adresy vydekóduje adresný signál konkrétnej tabule, ktorý v blokoch výstupných konvertorov 84, 85 aktivuje príslušný konvertor, čo sa prejaví zmenou napätia zo +48V do 0V na jednom z výstupov signálov 101 až 131. Po príchode 2. slova - adresa riadku do Riadiacej jednotky 2000 sa obdobne ako pri prvom slove v bloku čítania informácie 2 vygeneruje signál "výber riadku" 24, ktorý v bloku generovania hradlovacieho signálu "riadok" 40 v súčinnosti so signálom "-sco 1" 35 spôsobí vygenerovanie hradlovacieho signálu, na základe ktorého sa odpamätá v pamäťovom bloku adresy "riadok" 50 druhé slovo vysielanej informácie 11 s významom adresy príslušného riadku na určenej tabuli. Informácia odpamätaná v bloku pamäti adresy riadkov 50 sa dekóduje v bloku dekódovania riadkov 60, čím sa jednoznačne určí jeden zo šiestich riadkov na vybranej informačnej tabuli. V vložke výstupných konvertorov riadkov 70 sa aktivuje príslušný konvertor, čo sa prejaví zmenou napätia zo +48V do 0V na jednom z výstupov signálov adresy prvého až šiesteho riadku 71 až 76. Po príchode 3. až 7. slova vysielanej informácie 11 do riadiacej jednotky 2000 sa v bloku čítania informácie 2 vygenerujú postupne signály : výberu informácie 1. až 5. zobrazovacej jednotky, t.j. signály 26, 28, 30, 32, 34. Tieto v súčinnosti so signálom "-sco 1" 35 spôsobia v blokoch generovania hradlovacieho signálu 1. až 5. zobrazovacej jednotky 41 až 45 vygenerovanie signálov, na základe ktorých sa postupne v pamäťových blokoch 1. až 5. zobrazovacej jednotky 51 až 55 odpamätá tretie až siedme slovo. Odpamätaná informácia 1. až 5. zobrazovacej jednotky v kóde 3/8, kód s ktorým pracuje zariadenie Pragotron, aktivuje v blokoch výstupných konvertorov 5/48V 61 až 65 vždy 3 konvertory z 8 konvertorov pre jednu zobrazovaciu jednotku, čo sa prejaví zmenou napätia z 0V do +48V na výstupných zber-

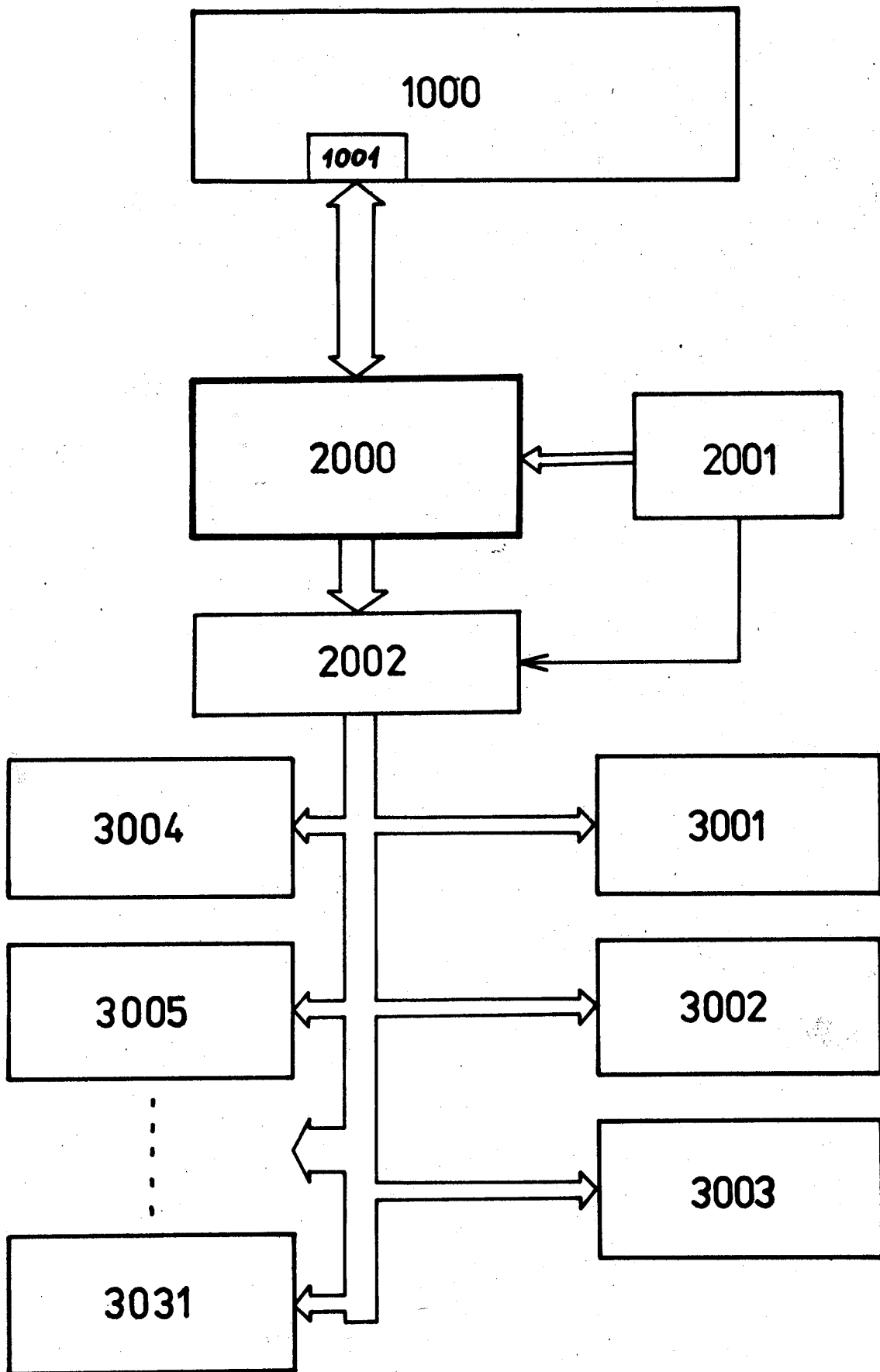
niciach informačných signálov 91 až 95. Spôsob riadenia jedno-
riadkovej tabule 140 je znázornený na obr. 5. Spôsob riadenia
6 riadkovej tabule 150 je znázornený na obr. 6 s tým, že
v bloku kombinačných signálov 100 sa vytvárajú adresné sig-
nály pre zápis do riadkov 1 až 6 z kombinácie adresa tabule
a príslušný riadok. Napr. : na základe súčinu "adresa tabule"
101 a "adresa riadku" 71 sa vytvára v bloku kombinačných
signálov 100 adresný signál pre zápis do 1. riadku na šesť-
riadkovej tabuli 150.

P R E D M E T V Y N Á L E Z U

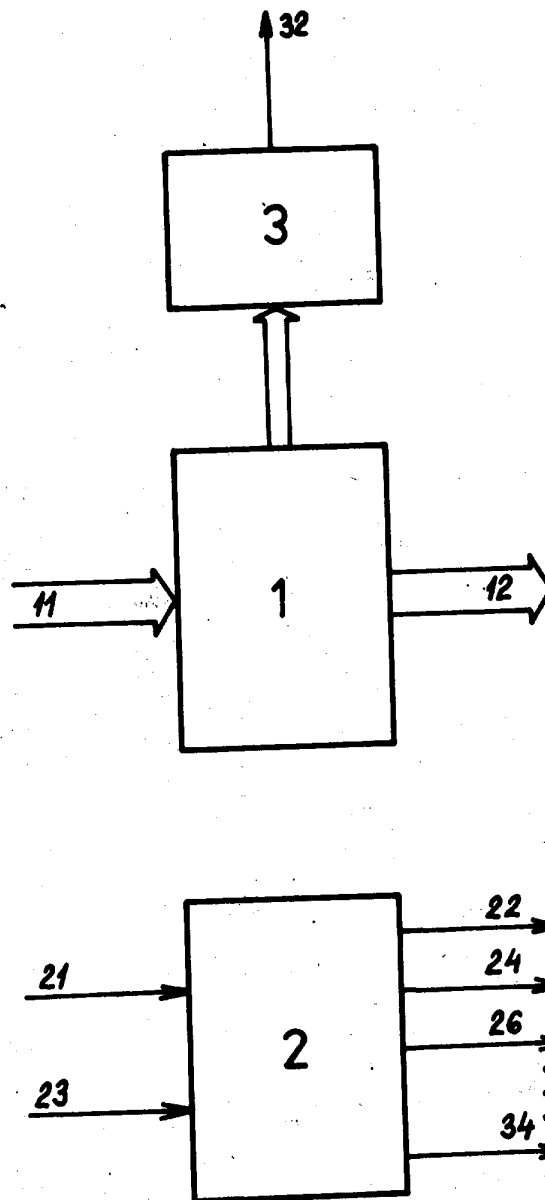
232 204

Riadiaca jednotka informačných tabúl Pragotron

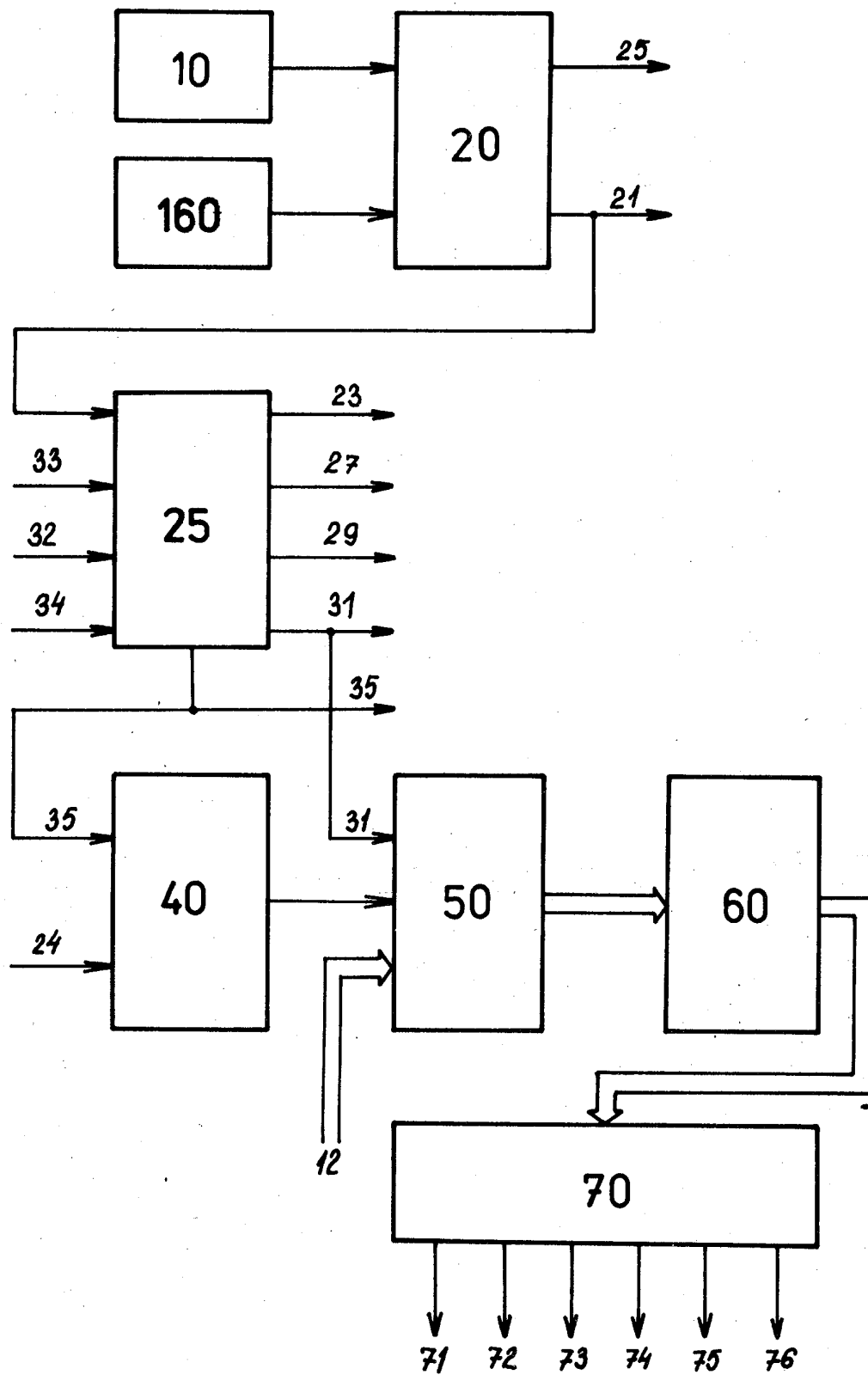
vyznačuje sa tým, že výstup z počítača (1000) je cez kanál jednoslovných prenosov (1001) pripojený na blok výkonového zosilnenia signálov (1), ktorý je prepojený s blokom kontroly parity (3) a blokom pamäti adresy riadku (50), ďalej blokom pamäti adresy tabule (81) a pamäťovými blokmi prvej až piatej zobrazovacej jednotky (51 až 55), pričom blok čítania informácie po jednotlivých slovách (2) je spojený s blokom generovania hradlovacieho signálu riadok (40), s blokom generovania hradlovacieho signálu tabuľa (80) a blokmi generovania hradlovacích signálov prvej až piatej (41 až 45) zobrazovacej jednotky, zároveň blok dekódovania riadkov (60) je pripojený na blok pamäti adresy riadkov (50) a blok výstupných konvertorov riadkov (70), ďalej dekódery (82, 83) adres tabúl sú pripojené na pamäťový blok adresy tabule (81) a bloky výstupných konvertorov (84, 85) adres tabúl, pamäťové bloky prvej až piatej (51 až 55) zobrazovacej jednotky sú spojené s blokmi generovania hradlovacieho signálu prvej až piatej (41 až 45) zobrazovacej jednotky a blokmi výstupných konvertorov informácie prvej až piatej (61 až 65) zobrazovacej jednotky, pričom výstupné konvertory (70, 84, 85, 61 až 65) sú prepojené cez rozvodnú skriňu Pragotron (2002) s informačnými tabuľami Pragotron (3001 až 3031).



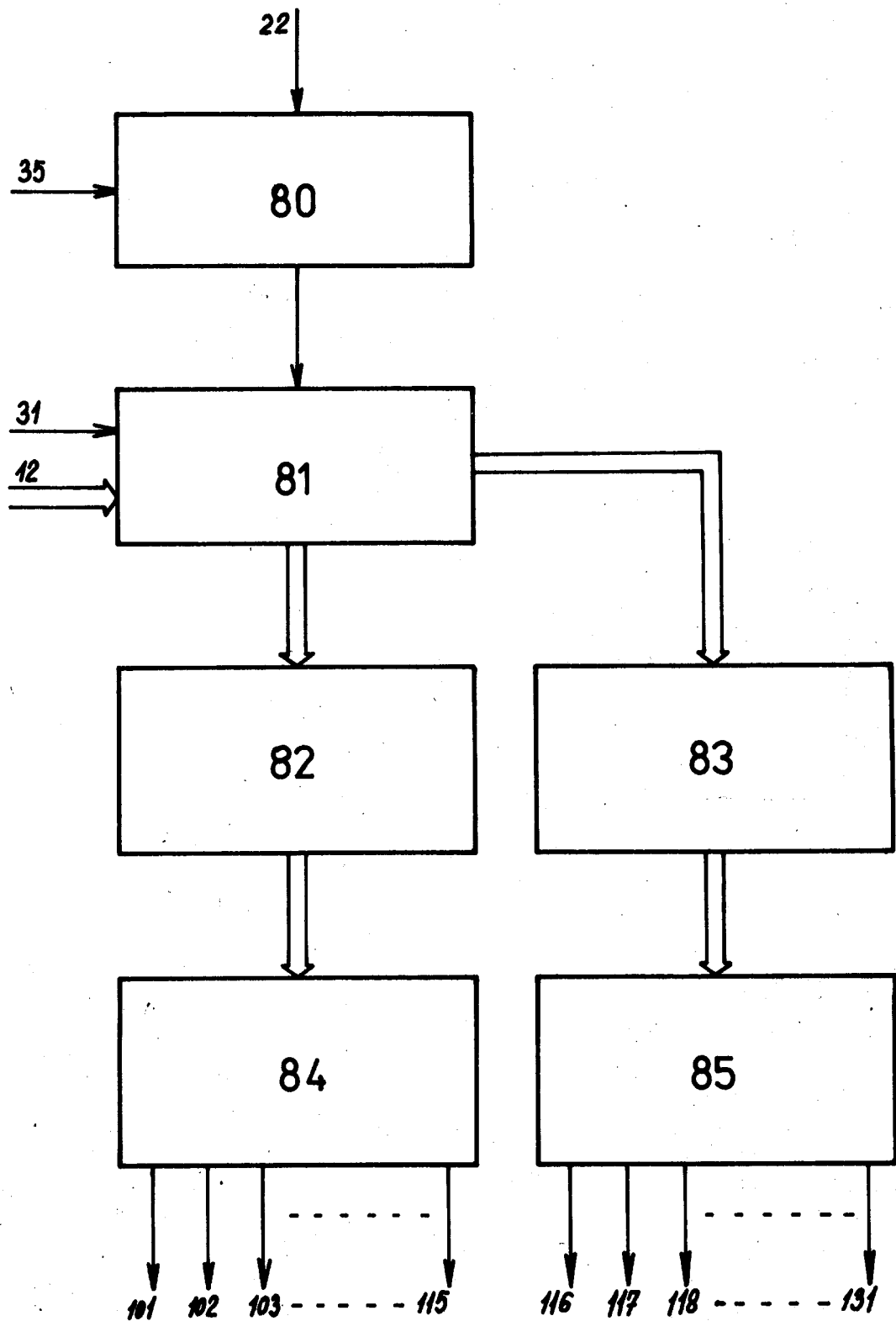
Obr.1



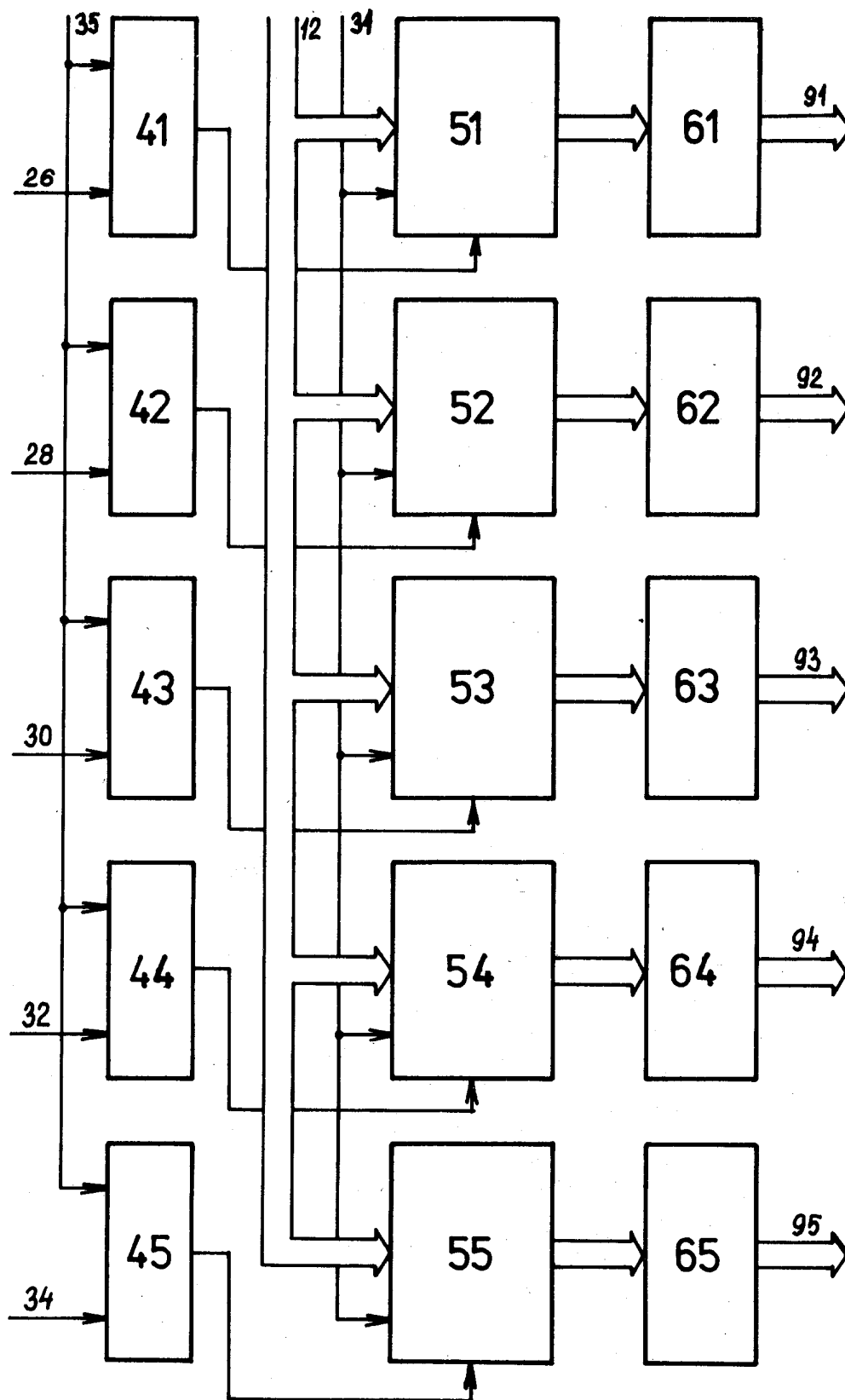
Obr. 2



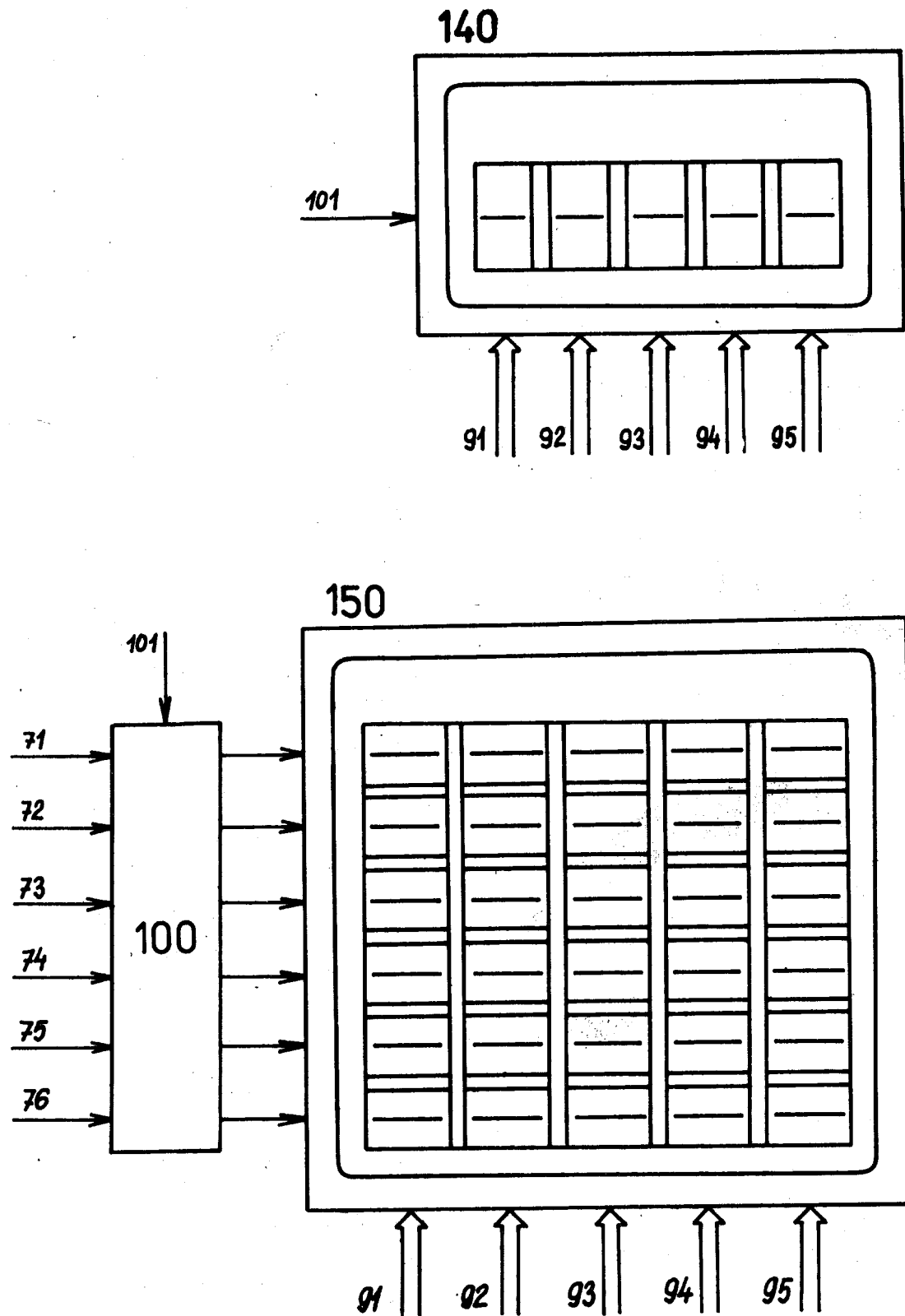
Obr. 3



Obr. 4



Obr. 5



Obr. 6



POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

237898

(11)

(B1)

(51) Int. Cl.⁴
G 11 C 5/06

(22) Prihlásené 27 03 84

(21) [PV 2178-84]

(40) Zverejnené 14 12 84

(45) Vydané 15 03 87

(75)

Autor vynálezu

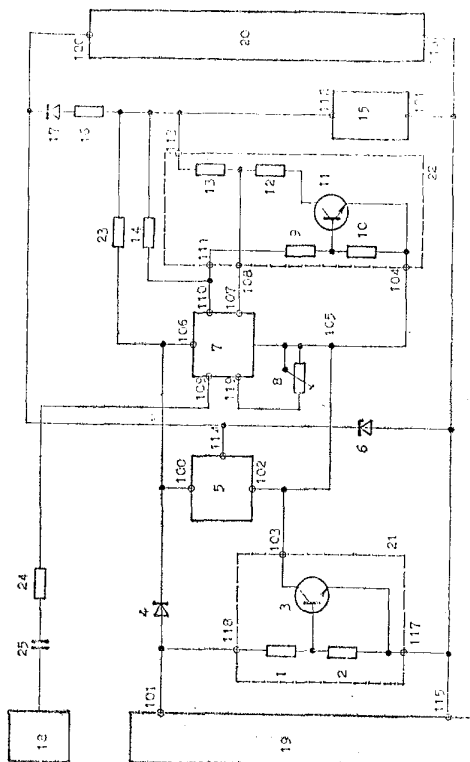
PATÚC JAROSLAV ing., KIRNER JOZEF ing., ŽILINA

(54) Zdroj napätia pre pamäť CMOS s nabíjačom akumulátora

1

Zapojenie je určené pre napájanie pamätí CMOS počas aktívneho primárneho zdroja a počas zálohovania zo sekundárneho zdroja — akumulátora. Zapojenie obsahuje nabíjač akumulátora, ktorý automaticky zapína a vypína nabíjanie akumulátora podľa stavu napätia na akumulátore. Pri nabíjaní primárneho zdroja sa nabíjanie akumulátora automaticky štartuje. Nabíjač akumulátora je určený pre prácu s NiCd akumulátormi s nesintrovanými elektródami.

2



Vynález sa týka zdroja napätia pre pamäť CMOS s nabíjačom akumulátora určeného pre mikropočítačové a minipočítačové systémy.

V doteraz známych zapojeniach sa využívajú ako sekundárny zdroj akumulátory NiCd so sintrovanými elektródami. Tieto sa môžu neustále dobíjať z primárneho zdroja napätia, zatiaľ čo akumulátory NiCd, ktoré nemajú sintrované elektródy sa nemôžu neustále nabíjať, lebo by sa prebýjali a tým ničili.

Tento nedostatok odstraňuje zdroj napätia pre pamäti CMOS s nabíjačom akumulátora NiCd batérií s nesintrovanými elektródami vyznačujúceho sa tým, že pozostáva z generátora napätia +5 V pripojeného kladným vývodom cez prvú oddeľovaciu diódu na kladný vývod primárneho zdroja a záporným vývodom na výstup prepínacieho tranzistorového stupňa, ďalej na záporný vývod triadiaceho tranzistorového stupňa nabíjania, ďalej na záporný vývod riadeného nabíjacieho obvodu. Riadený nabíjací obvod akumulátora je pripojený kladným vývodom na kladný vývod generátora napätia +5 V, ďalej invertujúcim vstupom na výstup riadiaceho tranzistorového stupňa nabíjania, ďalej neinvertujúcim vstupom cez sériovo radený desiaty odpor a kondenzátor na obvod generátora signálu výpadku napätia, ďalej výstupom na druhý vstup riadiaceho tranzistorového stupňa nabíjania, ďalej výstupom cez siedmy odpor na kladný vývod akumulátora. Akumulátor je kladným vývodom pripojený cez deviaty odpor na kladný vývod riadeného nabíjacieho obvodu akumulátora, ďalej na prvý vstup riadiaceho tranzistorového stupňa nabíjania, ďalej cez sériovo radený ôsmy odpor a druhú oddeľovaciu diódu na výstup generátora napätia +5 V. Generátor napätia +5 V je výstupom pripojený na kladný vývod pamäťového poľa CMOS a na katódu Zenerovej diódy. Anóda Zenerovej diódy je spolu so záporným vývodom primárneho zdroja, záporným vývodom pamäťového poľa CMOS, záporným vývodom akumulátora a záporným vývodom prepínacieho tranzistorového stupňa pripojená na záporný vývod primárneho zdroja. Kladný vývod prepínacieho tranzistorového stupňa je pripojený na kladný vývod primárneho zdroja.

Hlavnou výhodou zdroja napätia pre pamäť CMOS s nabíjačom akumulátora je v tom, že je vhodný pre zálohovanie pamätí CMOS pomocou akumulátora NiCd s nesintrovanými elektródami a dá sa spolu s akumulátorom umiestniť priamo na dosku plošných spojov. Keďže nabíjacia charakteristika NiCd akumulátorov je pomerne plochá, nie je možné previesť 100 %-né nabitie akumulátora, ale približne 50–70 %-né.

Predmet vynálezu je zrejmý z popisu výkresu, na ktorom je znázornená schéma uskutočnenia zapojenia uvedeného v ďalšej časti popisu realizácie vynálezu.

Zdroj napätia pre pamäť CMOS s nabíjačom akumulátora pozostáva zo zdroja napätia +5 V, ktorý je kladným vývodom **100** pripojený cez prvú oddeľovaciu diódu **4** na kladný vývod **101** primárneho zdroja **19**, záporným vývodom **102** na výstup **103** prepínacieho tranzistorového stupňa **21**, výstupom **114** na kladný vývod **120** pamäťového poľa CMOS **20** a na katódu Zenerovej diódy **6**. Anóda Zenerovej diódy **6** je pripojená na záporný vývod **115** primárneho zdroja **19**.

Riadený nabíjací obvod akumulátora **7** je pripojený kladným vývodom **106** cez prvú oddeľovaciu diódu **4** na kladný vývod **101** primárneho zdroja **19**, záporným vývodom **105** na výstup **103** prepínacieho tranzistorového stupňa **21**, neinvertujúcim vstupom **109** cez sériovo radený deviaty odpor **24** a kondenzátor **25** na generátor signálu výpadku napájania **18**, invertujúcim vstupom **107** na výstup **108** riadiaceho tranzistorového stupňa **22**, výstupom **110** na druhý vstup **111** riadiaceho tranzistorového stupňa nabíjania **22**, vývodom **119** cez odporový trimer **8** na svoj záporný vývod **105**. Akumulátor **15** je pripojený kladným vývodom **112** jednak cez sériovo radený ôsmy odpor **16** a druhú oddeľovaciu diódu **17** na kladný vývod **120** pamäťového poľa CMOS **20**, jednak cez siedmy odpor **14** na výstup **110** a cez deviaty odpor na kladný vývod **106** riadeného nabíjacieho obvodu akumulátora **7**. Záporný vývod **121** akumulátora **15** je pripojený na záporný vývod **115** primárneho zdroja **19**.

Prepínací tranzistorový stupeň **21** pozostáva z prepínacieho tranzistora **3**, ktorého báza je pripojená na odporový delič napätia pozostávajúceho z prvého odporu **1** a druhého odporu **2**. Prepínací tranzistorový stupeň **21** je cez prvý odpor **1** kladným vývodom **118** pripojený na kladný vývod **101** primárneho zdroja **19** a cez druhý odpor **2** záporným vývodom **117** pripojený na záporný vývod **115** primárneho zdroja **19**. Kolektor prepínacieho tranzistora **3** je pripojený na výstup **103** a emitor na záporný vývod **117** prepínacieho tranzistorového stupňa **21**.

Riadiaci tranzistorový stupeň nabíjania **22** pozostáva z riadiaceho tranzistora **11**, ktorého báza je pripojená na odporový delič napätia pozostávajúceho z tretieho odporu **9** a štvrtého odporu **10**. Odporový delič je zapojený medzi druhý vstup **111** a záporný vývod **104**. Kolektor riadiaceho tranzistora **11** je pripojený cez sériovo radený piaty odpor **12** a šiesty odpor **13** na prvý vstup **113**.

Piaty odpor **12** a šiesty odpor **13** tvoria odporový delič napätia, ktorého stred je vyvedený na výstup **108**. Emitor riadiaceho tranzistora **11** je pripojený na záporný vývod **104** a tento je ďalej pripojený na záporný vývod **115** primárneho zdroja **19**.

Počas trvania napätia na primárnom zdroji **19** je prepínací tranzistor **3** prepínacieho tranzistorového stupňa **21** zopnutý a tým

umožňuje činnosť generátora napätia 5 +5 V, riadeného nabíjacieho obvodu akumulátora 7 a riadiaceho tranzistorového stupňa nabíjania 22.

Generátor napätia 5 je napájaný z primárneho zdroja 19 a generuje na svojom výstupe 114 napájacie napätie do pamäťového poľa CMOS 20 veľkosti +5 V.

Riadený nabíjací obvod akumulátora 7 je v diferenciálnom zapojení, ktorého napätie na neinvertujúcom vstupe 109 je nastavené odporovým trimrom 8 a výstupné napätie na výstupe 110 určujúce nabíjanie akumulátora 15 je riadené napätím na invertujúcom vstupe 107. Počas nabíjania akumulátora 15 je napätie na invertujúcom vstupe 107, riadeného nabíjacieho obvodu 7 menšie ako na jeho neinvertujúcom vstupe 109, riadiaci tranzistor 11 je zopnutý, napätie na výstupe 110 riadeného nabíjacieho obvodu akumulátora 7 je maximálne, obmedzené napätím na kladnom vývode 106.

Siedmym odporom 14 preteká nabíjací prúd. Ak napätie na kladnom vývode 112 akumulátora 15 dosiahne určenú hodnotu, napätie privádzané na invertujúci vstup 107 riadeného nabíjacieho obvodu akumulátora 7 sa rovná napätiu na neinvertujúcom vstupe 109, napätie na výstupe 110 poklesne a riadiaci tranzistor 11 sa uzavrie, čím rýchlo vzrastie napätie na invertujúcom vstupe 107 na hodnotu napätia na kladnom vývode 112 akumulátora 15.

Prúd tečúci do akumulátora 15 cez deviaty odpor 23 vyrovnáva vybíjací prúd nabitého akumulátora 15 cez siedmy odpor 14, tretí odpor 9 a štvrtý odpor 10. Znovunabíjanie akumulátora sa začne pri poklese na-

pätia na invertujúcom vstupe 107 pod hodnotu napätia na neinvertujúcom vstupe 119.

Po vypadnutí primárneho zdroja 19 sa prepínací tranzistor 3 rozopne, čím sa zamedzí vybíjaniu akumulátora 15 cez obvod pripojené na kolektor prepínacieho tranzistora 3. Prvá oddeľovacia dióda 4 zas zamedzuje vybíjaniu akumulátora 15 cez primárny zdroj 19 a cez odpory prepínacieho tranzistorového stupňa 21. Pokles napätia z výstupu 114 generátora napätia 5 +5 V sa zastaví po zopnutí druhej oddeľovacej diódy 17, cez ktorú sa dostáva napätie z akumulátora 15 do pamäťového poľa CMOS 20, čím sa zabezpečuje zálohovanie.

Po nábehu primárneho zdroja 19, generátor signálu výpadku napätia 18 vygeneruje signál zmeny stavu napájania. Tento signál je derivovaný kondenzátorom 25, desiatym odporom 24 a vstupnou impedanciou riadeného nabíjacieho obvodu akumulátora 7, na ktorého neinvertujúci vstup 109 prichádza a zvýši na ňom napätie nad hodnotu napätia na invertujúcom vstupe 107 a tak sa odštartuje nabíjanie akumulátora 15.

Zenerova dióda 6 chráni pamäťové pole CMOS 20 pred zvýšením napätia na výstupe 114 generátora napätia 5 +5 V počas prechodového javu a ôsmym odpor 16 zas zabraňuje rýchlemu vybitiu akumulátora 15 v prípade skratu napätia.

Zapojenie podľa vynálezu je vhodné pre využitie v mikropočítačových a minipočítačových systémoch, tam, kde na pamäťový systém tvorený pamäťovými prvkami CMOS je kladená požiadavka uchovania informácie po zániku napätia primárneho napájacieho zdroja.

PREDMET VYNÁLEZU

1. Zdroj napätia pre pamäť CMOS s nabíjačom akumulátora vyznačuje sa tým, že generátor napätia (5) je pripojený kladným vývodom (100) cez prvú oddeľovaciu diódu (4) na kladný vývod (101) primárneho zdroja (19), záporným vývodom (102) na výstup (103) prepínacieho tranzistorového stupňa (21), ďalej je pripojený na záporný vývod (104) riadiaceho tranzistorového stupňa nabíjania (22), na záporný vývod (105) riadeného nabíjacieho obvodu akumulátora (7) a tento je pripojený kladným vývodom (106) na kladný vývod (100) generátora napätia (5), invertujúcim vstupom (107) na výstup (108) riadiaceho tranzistorového stupňa nabíjania (22), neinvertujúcim vstupom (109) cez sériovo radený desiaty odpor (24) a kondenzátor (25) na obvod generátora signálu výpadku napätia (18), výstupom (110) na druhý vstup (111) riadiaceho tranzistorového stupňa (22), výstupom (110) cez siedmy odpor (14) na kladný vývod (112) akumulátora (15), ktorého kladný vývod (112) je tiež pripojený cez devia-

ty odpor (23) na kladný vývod (106) riadeného nabíjacieho obvodu akumulátora (7), na prvý vstup (113) riadiaceho tranzistorového stupňa nabíjania (22) a cez sériovo radený ôsmy odpor (16) a druhú oddeľovaciu diódu (17) na výstup (114) generátora napätia (5), na ktorého výstup (114) je pripojený kladný vývod (120) pamäťového poľa CMOS (20) a katóda Zenerovej diódy (6), ktorej anóda je spolu so záporným vývodom (116) pamäťového poľa CMOS (20), záporným vývodom (121) akumulátora (15) a záporným vývodom (117) prepínacieho tranzistorového stupňa (21) pripojená na záporný vývod (115) primárneho zdroja (19) a kladný vývod (118) prepínacieho tranzistorového stupňa (21) je pripojený na kladný vývod (101) primárneho zdroja (19).

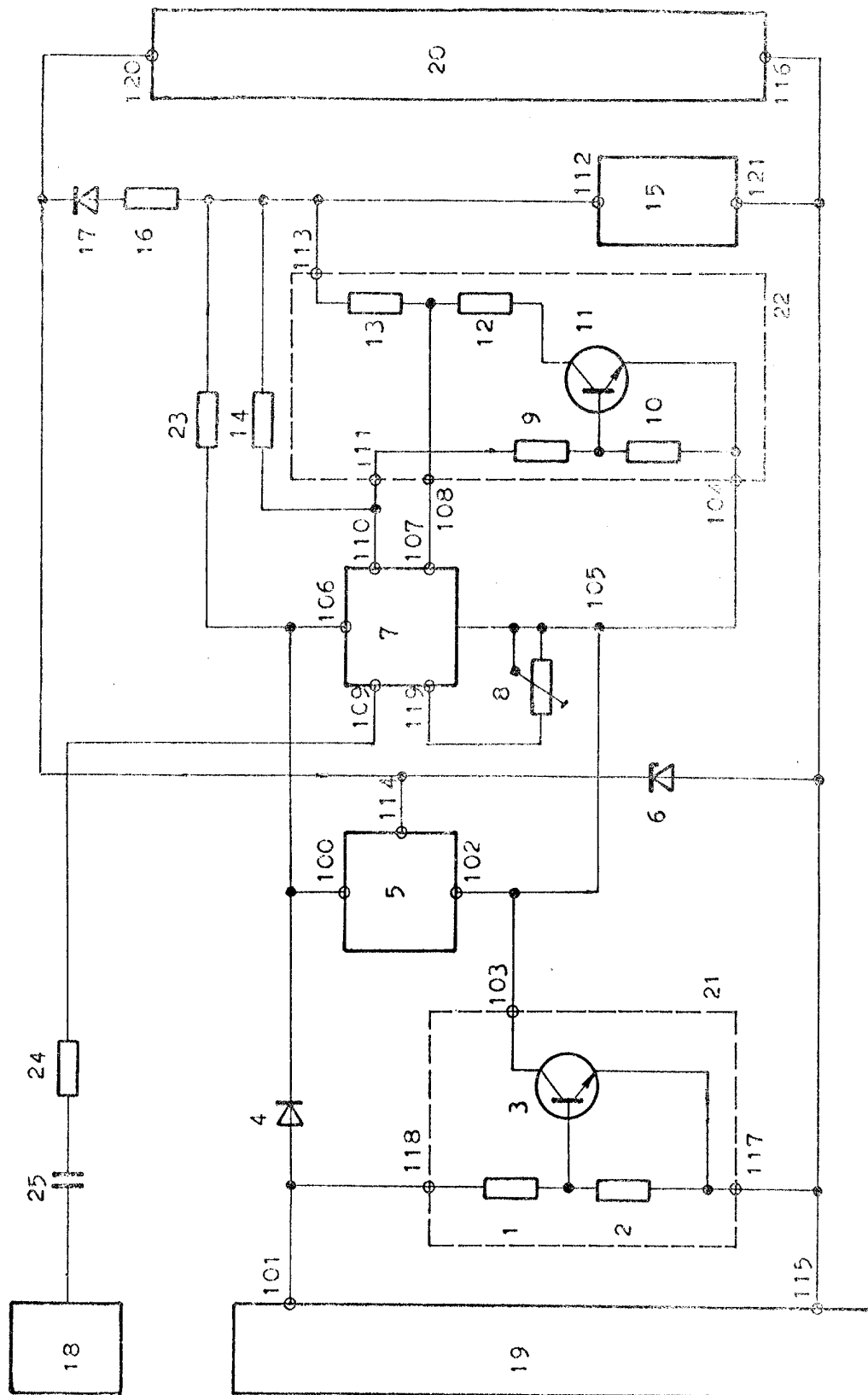
2. Zapojenie podľa bodu 1, vyznačujúce sa tým, že prepínací tranzistorový stupeň (21) pozostáva z tranzistora (3), ktorého kolektor je pripojený na výstup (103), emi-

tor na záporný vývod (117), báza na odporový delič napätia, ktorého prvý odpor (1) je pripojený na kladný vývod (118) a druhý odpor (2) na emitor tranzistora (3).

3. Zapojenie podľa bodu 1, vyznačujúce sa tým, že riadiaci tranzistorový stupeň nabíjania (22) pozostáva z tranzistora (11), báza ktorého je pripojená na odporový delič napätia, ktorého tretí odpor (9) je pripojený na druhý vstup (111) a štvrtý odpor (10) na emitor tranzistora (11), ktoré-

ho emitor je pripojený na záporný vývod (104), kolektor je pripojený cez sériovo radený piaty odpor (12) a šiesty odpor (13) na prvý vstup (113) a výstup (108) je vyvedený zo spoločného uzla piateho odporu (12) a šiesteho odporu (13).

4. Zapojenie podľa bodu 1, vyznačuje sa tým, že odporový trimer (8) je zapojený medzi vstupom (119) a záporným vývodom (105) riadeného nabíjacieho obvodu akumulátora (7).



ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚRAD PRO VYNALEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

{22} Prihlásené 15 10 84
{21} (PV 7812-84)

{40} Zverejnené 18 09 86

{45} Vydané 15 03 88

249878
(11) (B1)

{51} Int. Cl.⁴
H 02 J 1/04

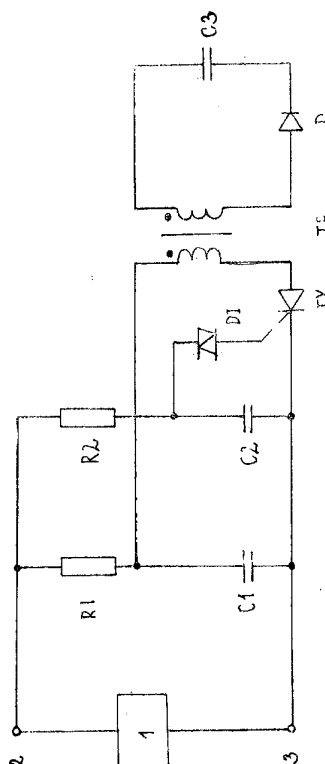
{75}
Autor vynálezu PODSTANICKÝ IGOR RNDr., ŽILINA

{54} Zdroj jednosmerného napätia pre štartovanie impulzne regulovaných zdrojov napätí

1

Zdroj jednosmerného napätia vhodný pre štartovanie impulzne regulovaných zdrojov napätí s galvanicky odizolovaným výstupom je napájaný jednosmerným vstupným napätím. Vďaka malému počtu závitov vinutí transformátora je možné dosiahnuť dobrú elektrickú izoláciu medzi primárnou a sekundárnou stranou zdroja.

2



Vynález sa týka zdroja jednosmerného napätia pre štartovanie impulzne regulovaných zdrojov napätí, u ktorých sa vyžaduje galvanická izolácia výstupu od vstupu.

Impulzne regulované sieťové zdroje napätí s galvanicky odizolovaným výstupom majú najčastejšie riadiace obvody galvanicky pripojené k výstupnej strane zdroja. Pre štart zdroja je preto potrebný pomocný zdroj jednosmerného napätia, ktorý napája riadiace obvody. Častým riešením je použitie sieťového transformátorčeka s usmerňovačom. Takýto štartovací zdroj má pomerne veľké rozmery a môže byť napájaný len striedavým napätím. Ak ako štartovací zdroj použijeme tranzistorový menič, potom môžeme na vstupe použiť jednosmerné napätie. Nevýhodou tohto riešenia je jeho zložitost'. Ďalším problémom u doteraz používaných štartovacích zdrojov je zabezpečenie ich činnosti len počas štartu impulzne regulovaného zdroja.

Uvedené nedostatky odstraňuje zdroj jednosmerného napätia pre štartovanie impulzne regulovaných zdrojov napätí s galvanicky odizolovaným výstupom, podstatou ktorého je, že paralelne k zdroju vstupného jednosmerného napätia je pripojený prvý odpor v sérii s prvým kondenzátorom a druhý odpor v sérii s druhým kondenzátorom a paralelne k prvému kondenzátoru je pripojený tyristor v sérii s primárnym vinutím transformátora tak, že jeden vývod prvého odporu a jeden vývod druhého odporu sú pripojené k tomu pólu zdroja vstupného jednosmerného napätia, ktorého polarita je zhodná s polaritou riadiaceho prúdu tyristora a katóda tyristora smeruje k zápornému pólu zdroja vstupného jednosmerného napätia, pričom riadiaca elektróda tyristora je spojená cez diaku s tým vývodom druhého odporu, ktorý je spojený s jedným vývodom druhého kondenzátora a paralelne k sekundárnemu vinutiu transformátora je pripojená usmerňovacia dióda v sérii s výstupným kondenzátorom tak, že jej katóda smeruje k súhlasnému koncu sekundárneho vinutia transformátora vzhľadom na koniec jeho primárneho vinutia, ku ktorému smeruje katóda tyristora.

Zdroj jednosmerného napätia vhodný pre štartovanie impulzne regulovaných zdrojov napätí s galvanicky odizolovaným výstupom pracuje impulzným spôsobom a vhodnou voľbou pracovnej frekvencie môžeme dosiahnuť to, že transformátor bude mať pomerne malé feritové jadro a malé počty závitov, čo nám umožní dosiahnuť dobrú elektrickú izoláciu medzi primárnou a sekun-

dárnou časťou zdroja. Výhodnou vlastnosťou uvedeného zapojenia je tiež to, že neobsahuje žiadne nastavovacie prvky. Popísaný štartovací zdroj je možné zapojiť v impulzne regulovanom zdroji napätia tak, že po uskutočnení štartu prestane pracovať a napätie pre napájanie riadiacich obvodov si vyrába sám impulzne regulovaný zdroj.

Príklad zdroja jednosmerného napätia vhodného pre štartovanie impulzne regulovaných zdrojov napätí s galvanicky odizolovaným výstupom je na pripojenom výkrese, ktorý znázorňuje schému zapojenia.

Ku kladnému pólu 2 zdroja 1 vstupného jednosmerného napätia je pripojený jeden vývod prvého odporu **R1**, druhý vývod ktorého je pripojený cez prvý kondenzátor **C1** k zápornému pólu 3 zdroja 1 vstupného jednosmerného napätia. Ku kladnému pólu 2 zdroja 1 vstupného jednosmerného napätia je pripojený jeden vývod druhého odporu **R2**, druhý vývod ktorého je spojený cez druhý kondenzátor **C2** so záporným pólom 3 zdroja 1 vstupného jednosmerného napätia. K vývodu prvého kondenzátora **C1**, ktorý je pripojený k jednému vývodu prvého odporu **R1**, je pripojený jeden koniec primárneho vinutia transformátora **TR**, druhé vinutie, ktorého je pripojený k anóde tyristora **TY**, typu pnpn, katóda ktorého je pripojená k zápornému pólu 3 zdroja 1 vstupného jednosmerného napätia a riadiaca elektróda ktorého je pripojená cez diaku **DI** s tým vývodom druhého kondenzátora **C2**, ku ktorému je pripojený jeden vývod druhého odporu **R2**. Paralelne k sekundárnemu vinutiu transformátora **TR** je pripojená usmerňovacia dióda **D** v sérii s výstupným kondenzátorom **C3**, pričom jej anóda je pripojená k súhlasnému koncu sekundárneho vinutia transformátora **TR**, vzhľadom na koniec jeho primárneho vinutia, ku ktorému je pripojená anóda tyristora **TY** typu pnpn.

Po pripojení zdroja 1 vstupného jednosmerného napätia sa prvý kondenzátor **C1** začne nabíjať cez prvý odpor **R1** a druhý kondenzátor **C2** cez druhý odpor **R2**. Keď napätie druhého kondenzátora **C2** dosiahne otváracie napätie diaky **DI**, začne do riadiacej elektródy tyristora **TY** typu pnpn tiecť prúd. Prvý kondenzátor **C1** sa vybije cez otvorený tyristor, **TY** typu pnpn do primárneho vinutia transformátora **TR**, ktorého sekundárne vinutie je zapojené nepriepustné. V okamihu, keď prestane tiecť primárnym vinutím transformátora **TR** prúd, bude prvý kondenzátor **C1** nabitý záporne, čo je zárukou bezpečného zatvorenia tyristora **TY** typu pnpn.

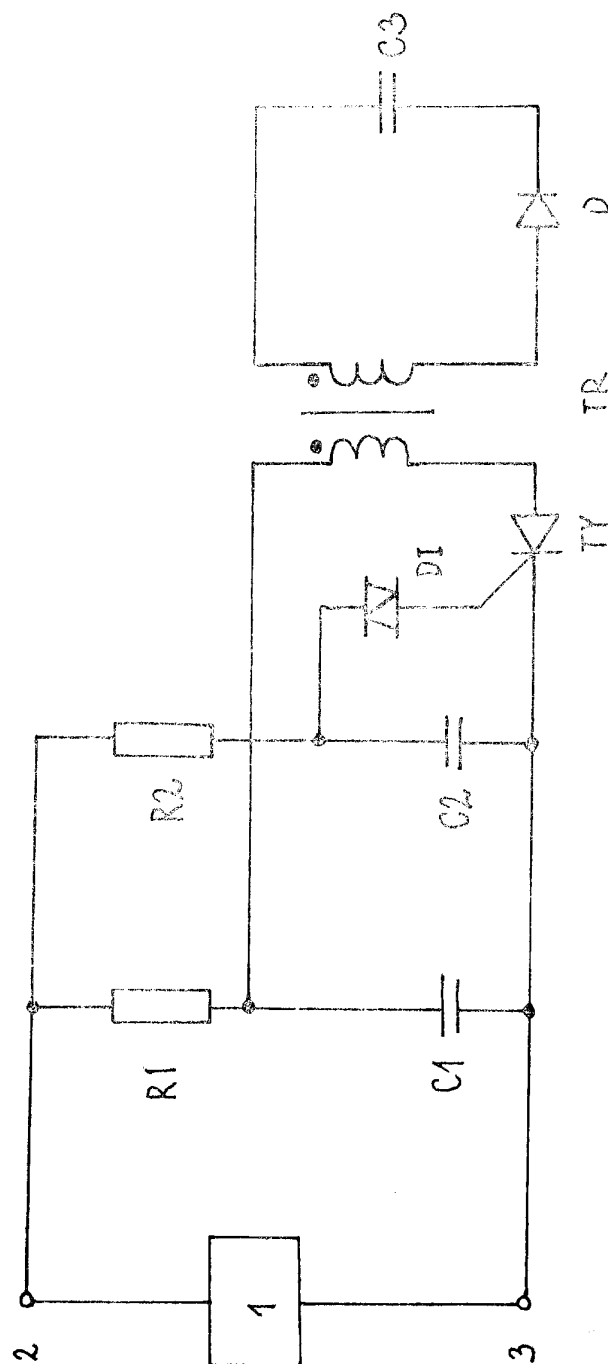
PREDMET VYNÁLEZU

Zdroj jednosmerného napätia pre štartovanie impulzne regulovaných zdrojov napätí s galvanicky odizolovaným výstupom vyznačený tým, že paralelne k zdroju (1) vstupného jednosmerného napätia je pripojený prvý odpor (R1) v sérii s prvým kondenzátorom (C1) a druhý odpor (R2) v sérii s druhým kondenzátorom (C2) a paralelne k prvému kondenzátoru (C1) je pripojený tyristor (TY) v sérii s primárnym vinutím transformátora (TR) tak, že jeden vývod prvého odporu (R1) a jeden vývod druhého odporu (R2) sú pripojené k tomu pólu zdroja (1) vstupného jednosmerného napätia, ktorého polarita je zhodná s polaritou

riadiaceho prúdu tyristora (TY) a katóda tyristora (TY) smeruje k zápornému pólu zdroja (1) vstupného jednosmerného napätia, pričom riadiaca elektróda tyristora (TY) je pripojená cez diak (DI) k tomu vývodu druhého odporu (R2), ktorý je spojený s jedným vývodom druhého kondenzátora (C2) a paralelne k sekundárnemu vinutiu transformátora (TR) je pripojená usmerňovacia dióda (D) v sérii s výstupným kondenzátorom (C3) tak, že jej katóda je pripojená k súhlasnému koncu sekundárneho vinutia transformátora (TR) vzhľadom na koniec jeho primárneho vinutia, so ktorým je spojená katóda tyristora (TY).

1 list výkresov

249878





ÚŘAD PRO VYNÁLEZY
A OBYVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

249944
(11) (B1)

[51] Int. Cl.⁴
H 03 K 3/02

(22) Prihlášené 14 06 85
(21) (PV 4345-85)

(40) Zverejnené 13 02 86

(45) Vydané 15 03 88

(75)

Autor vynálezu

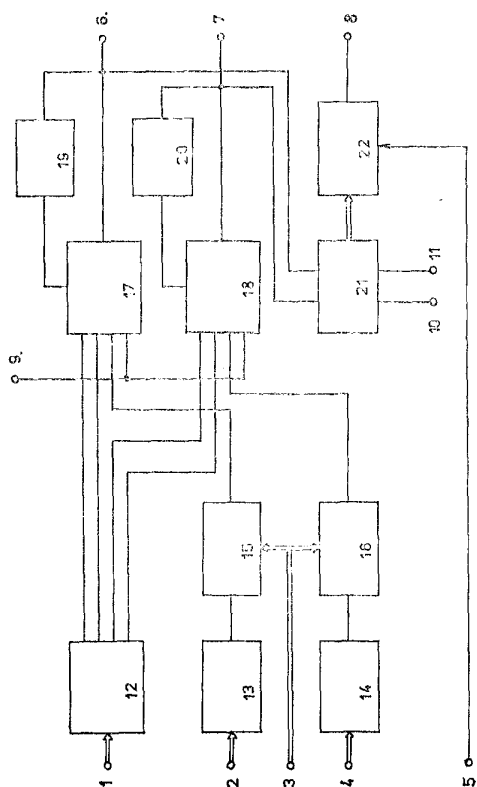
JANIČINA MILAN ing., HRUŠOVSKÝ JAN ing., ŽILINA

(54) Zapojenie generátora analógových signálov pre zobrazenie bodov, vektorov a rastra znakov

1

Zapojenie sa týka generátora signálov pre zobrazenie dát na obrazkových zariadeniach v pravouhlej sústave. Rieši problém generovania signálov pre zobrazenie bodov, vektorov a rastra znakov vo vymedzenom zobraziteľnom poli. Podstata zapojenia je nasledovná. Analógové výstupné svorky {6, 7} tvoria výstupy sumačných zosilňovačov {17, 18} spojených s obmedzovacími obvodmi {19, 20}, so zdrojom referenčného napätia {9} a s generátorom {12} napätia pre raster znaku, viacfunkčnými integrátormi {15, 16} spojenými s číslicovo-analógovými prevodníkmi {13, 14}, ktoré sú ďalej spojené so vstupnými číslicovými svorkami {1, 2, 3, 4}. Komparačné obvody {21} sú spojené s výstupnými svorkami {6, 7}, so svorkami {10, 11} zdrojov referenčného napätia a s vyhodnocovacími a oneskorovacími obvodmi {22} spojenými so vstupnou číslicovou svorkou {5}, ktorých výstup tvorí číslicová svorka {8}. Zapojenie je možné použiť i pri zobrazovaní dát na súradnicových zapisovačoch.

2



Vynález rieši zapojenie generátora analógových signálov pre zobrazenie bodov, vektorov a rastra znakov určených pre budenie vychyľovacích zosilňovačov obrazovkových zariadení zobrazujúcich v pravouhlej zobrazovacej sústave napríklad grafického vektorového monitora alebo osciloskopu, kde na jeho vstupy sú privedené číslicové signály zo zdroja dát, napríklad z grafického procesora alebo riadiacej jednotky a jeho výstup tvoria dve analógové a jedna číslicová svorka, obsahujúci obvody generujúce signály pre zobrazenie v smere osí X, Y a pre blokovanie obvodov riadenia jas.

Generátory analógových signálov sú súčasťou grafických vektorových zobrazovacích zariadení zapájaných medzi výstupy zdroja grafických dát a vstupy obrazovkových zobrazovacích zariadení, kde sprostredkovávajú zmenu vstupných číslicových signálov na informáciu zobrazovanú na tienitku obrazovky. Pre zobrazenie bodov, vektorov a rastra znakov v pravouhlej súradnicovej sústave sú potrebné signály a obvody pre vychyľovanie v smere osí X, Y a pre riadenie jas. Plocha zobrazovania informácie na tienitku obrazovky je určená veľkosťou adresovateľného zobraziteľného rastra, napríklad 1024×1024 rastrových jednotiek, ktorý je obvyčajne menší ako raster maximálnej kresliacej plochy, v ktorej možno programovať grafické útvary (napríklad 4096 krát 4096 rastrových jednotiek). Grafické vektorové zobrazovacie zariadenia spracovávajúce a zobrazujúce grafické informácie môžu byť riešené tak, že grafický procesor vylúči grafické prvky mimo rastra zobraziteľného poľa a tiež oreže vektory vystupujúce, resp. vstupujúce do zobraziteľného poľa. Všetky výpočty potrebné pre orezávanie sa robia číslicovo a generátor analógových signálov spracováva len dáta definujúce prvky ležiace vo vnútri zobraziteľného poľa. Tieto zariadenia majú dobré vlastnosti z hľadiska množstva zobraziteľnej informácie na tienitku obrazovky a jej modifikácie, napríklad zväčšovanie, zmenšovanie a zobrazenie ktorejkoľvek časti z maximálnej kresliacej plochy. Majú však i najväčšie nároky na celkové obvodové riešenie grafického procesora a tiež na obvody prevádzajúce požadované výpočty, napríklad rýchle násobenie a delenie. Zariadenia môžu byť tiež riešené tak, že grafický procesor odovzdáva generátoru analógových signálov, tak ako v predchádzajúcom prípade len dáta patriace prvkom vo vnútri zobraziteľného poľa, ale vektory sú vytvárané číslicovým spôsobom. Výhodou týchto zariadení je, že grafický procesor prevádza orezávanie jednoduchým spôsobom, ale vektory sú generované podstatne dlhší čas ako pri analógovom spôsobe, takže množstvo zobraziteľnej informácie je malé. Ďalej môžu byť zariadenia riešené tak, že vektory vychádzajúce, resp. vchádzajúce do zobraziteľného

poľa nie sú zobrazované (nejasia), pričom generátor analógových signálov kreslí len v rastrí zobraziteľného poľa alebo i za jeho hranicami. Výhodou uvedeného spôsobu je možnosť pomerne jednoducho prevádzať identifikáciu, či dáta zodpovedajú prvkom nachádzajúcim sa v zobraziteľnom poli a ostatné vektory nezobrazovať aj u vektorov kreslených analógovým spôsobom. Nevýhodou je, že vektory vychádzajúce, respektíve vchádzajúce do zobraziteľného poľa nie sú na tienitku obrazovky zobrazované, čím je interpretácia grafických útvarov neúplná.

Ďalšia možnosť riešenia uvedených zariadení je taká, že výstupné analógové signály generátora sú analógovo-číslícovým prevodom prevádzané na číslicové signály a identifikácia prechodu cez hranice zobraziteľného poľa je prevádzaná porovnávaním v číslicových komparátoroch. Nevýhodou uvedeného princípu je obtiažné riešenie rýchleho analógovo-číslícového prevodu pri veľkých rýchlostiach kreslenia vektorov, ktoré sa využívajú pri analógových spôsoboch generovania vektorov.

Podstata zapojenia generátora analógových signálov pre zobrazenie bodov, vektorov a rastra znakov spočíva v tom, že vstupy generátora napätia pre raster znaku sú spojené s prvým vstupom generátora analógových signálov, slúžiaceho pre privedenie číslicových signálov pre jeho ovládanie, vstupy prvého číslicovo-analógového prevodníka sú spojené s druhým vstupom generátora analógových signálov, slúžiaceho pre privedenie číslicových signálov pre zobrazenie dát v smere jednej osi, zatiaľ čo jeho analógový výstup je spojený so vstupom prvého viacfunkčného integrátora, vstupy druhého číslicovo-analógového prevodníka sú spojené so štvrtým vstupom generátora analógových signálov, slúžiaceho pre privedenie číslicových signálov pre zobrazenie dát v smere druhej osi, zatiaľ čo jeho analógový výstup je spojený so vstupom druhého viacfunkčného integrátora, riadiace vstupy viacfunkčných integrátorov sú spojené s tretím vstupom generátora analógových signálov, slúžiaceho pre privedenie číslicových signálov pre ovládanie ich funkcií, ďalej prvý vstup prvého sumačného zosilňovača je spojený s prvým výstupom a jeho druhý vstup s druhým výstupom generátora napätia pre raster znaku, jeho tretí vstup je spojený s výstupom prvého viacfunkčného integrátora, zatiaľ čo jeho výstup je spojený s prvou výstupnou svorkou tvoriacou analógový výstup pre jednu os zobrazenia, ktorá je spojená s prvým vstupom komparačných obvodov a cez prvý obmedzovací obvod s jeho piatym vstupom, ďalej prvý vstup druhého sumačného zosilňovača je spojený s tretím výstupom a jeho druhý vstup so štvrtým výstupom generátora napätia pre raster znaku, jeho tretí vstup je spo-

jený s výstupom druhého viacfunkčného integrátora, zatiaľ čo jeho výstup je spojený s druhou výstupnou svorkou tvoriacou analógový výstup pre druhú os zobrazenia, ktorá je spojená s druhým vstupom komparačných obvodov a cez druhý obmedzovací obvod s jeho piatym vstupom, pričom štvrté vstupy sumačných zosilňovačov sú spojené so zápornou svorkou prvého zdroja referenčného napätia, ďalej tretí vstup komparačných obvodov je spojený s kladnou svorkou druhého zdroja referenčného napätia, ich štvrtý vstup je spojený so zápornou svorkou tretieho zdroja referenčného napätia, zatiaľ čo ich výstupy sú spojené so vstupmi vyhodnocovacích a oneskorovacích obvodov, ktorých ďalší vstup je spojený s piatym vstupom generátora analógových signálov slúžiaceho pre privedenie číslicového blokovacieho signálu komparácie a ich výstup je spojený s tretou výstupnou svorkou tvoriacou číslicový výstup pre blokovanie obvodov riadenia jas.

Zapojenie generátora analógových signálov pre zobrazenie bodov, vektorov a rastra znakov podľa vynálezu, ktoré zaisťuje vymedzenie zobraziteľného poľa zatemnením, resp. rozsvietením zobrazovanej informácie na jeho hraniciach kladie minimálne nároky na riešenie obvodov grafického procesora, kde nevyžaduje rýchle násobenie a delenie, ďalej vektory sú generované analógovým spôsobom, čím je rýchlosť kreslenia vektorov vyššia a tým i množstvo zobraziteľnej informácie väčšie, ako u číslicového spôsobu generovania a grafické zobrazenie je úplné, pretože sú zobrazené všetky požadované informácie nachádzajúce sa v zobraziteľnom poli.

Príklad konkrétneho zapojenia generátora analógových signálov pre zobrazenie bodov, vektorov a rastra znakov podľa vynálezu je uvedený na pripojenom výkrese.

Generátor analógových signálov v konkrétnom prevedení podľa vynálezu je zapojený tak, že vstupy generátora 12 napätia pre raster znaku sú spojené s prvým vstupom 1 zapojenia, slúžiaceho pre privádzanie číslicových signálov pre jeho ovládanie. Vstupy prvého číslicovo-analógového prevodníka 13 sú spojené s druhým vstupom 2 zapojenia, slúžiaceho pre privádzanie číslicových signálov pre zobrazenie dát v smere osi X, zatiaľ čo jeho analógový výstup je spojený so vstupom prvého viacfunkčného integrátora 15. Vstupy druhého číslicovo-analógového prevodníka 14 sú spojené so štvrtým vstupom 4 zapojenia, slúžiaceho pre privádzanie číslicových signálov pre zobrazenie dát v smere osi Y, zatiaľ čo jeho analógový výstup je spojený so vstupom druhého viacfunkčného integrátora 16. Riadiace nálovy pre ovládanie ich funkcií. Prvý vstup sú spojené s tretím vstupom 3 zapojenia, slúžiaceho pre privádzanie číslicových signálov pre ovládanie ich funkcií. Prvý vstup prvého sumačného zosilňovača 17 je spoje-

ný s prvým výstupom a jeho druhý vstup s druhým výstupom generátora 12 napätia pre raster znaku, jeho tretí vstup je spojený s výstupom prvého viacfunkčného integrátora 15, zatiaľ čo jeho výstup je spojený s prvou výstupnou svorkou 6 tvoriacou analógový výstup zapojenia pre zobrazovanie v smere osi X, ktorá je spojená s prvým vstupom komparačných obvodov 21 a cez prvý obmedzovací obvod 19 s jeho piatym vstupom. Prvý vstup druhého sumačného zosilňovača 18 je spojený s tretím výstupom a jeho druhý vstup so štvrtým výstupom generátora 12 napätia pre raster znaku, jeho tretí vstup je spojený s výstupom druhého viacfunkčného integrátora 16, zatiaľ čo jeho výstup je spojený s druhou výstupnou svorkou 7 tvoriacou analógový výstup zapojenia pre zobrazenie v smere osi Y, ktorá je spojená s druhým vstupom komparačných obvodov 21 a cez druhý obmedzovací obvod 20 s jeho piatym vstupom. Štvrté vstupy sumačných zosilňovačov 17, 18 sú spojené so zápornou svorkou 9 prvého zdroja referenčného napätia. Tretí vstup komparačných obvodov 21 je spojený s kladnou svorkou 10 druhého zdroja referenčného napätia, ich štvrtý vstup je spojený so zápornou svorkou 11 tretieho zdroja referenčného napätia, zatiaľ čo ich výstupy sú spojené so vstupmi vyhodnocovacích a oneskorovacích obvodov 22, ktorých ďalší vstup je spojený s piatym vstupom 5 zapojenia, slúžiaceho pre privádzanie číslicového blokovacieho signálu komparácie a ich výstup je spojený s tretou výstupnou svorkou 8 tvoriacou číslicový výstup zapojenia pre blokovanie obvodov riadenia jas.

Funkcia zapojenia je nasledovná. Na základe vstupných číslicových signálov privádzaných na číslicovo-analógové prevodníky 13, 14 vzniká na ich výstupoch analógové napätie úmerné súradnicám jednotlivých bodov rastra kresliacej plochy (spracovania dát) alebo prírastkom súradníc vektorov. Výstupné napätie viacfunkčných integrátorov 15, 16 je v závislosti od vstupných riadiacich signálov úmerné napätiam na ich vstupoch alebo má pílovitý priebeh. Na základe vstupných číslicových signálov privádzaných na generátor 12 napätí pre raster znaku vznikajú na jeho výstupoch napätia pre zložky rastra v smere osi X, v smere osi Y a pre posuv rastra v smere osí Y, X potrebných k zobrazeniu určitých znakov, napríklad p, q, j, a tak ďalej pri generovaní rastra pre zobrazenie znakov orientovaných v smere osi X, resp. Y. V sumačných zosilňovačoch 17, 18 sa tieto napätia, spolu s napätím zo svorky 9 prvého zdroja referenčného napätia zlúčia, pričom z výstupnej svorky 6 sa odoberá napätie pre zobrazovanie v smere osi X a zo svorky 7 pre zobrazovanie v smere osi Y. Napätie zo svorky 9 prvého zdroja referenčného napätia umožňuje posúvať zobraziteľný raster tak, aby

jeho nulové súradnice boli v ľavom dolnom rohu tienitka obrazovky. Obmedzovacie obvody 19, 20 obmedzujú amplitúdy výstupných napätí, čím chránia komparačné obvody 21 a obvody vychyľovacích zosilňovačov pred preťažením. Komparačné obvody 21 porovnávajú výstupné napätia z generátora analógových signálov s napätiami zo svoriek 10, 11 referenčných zdrojov tvoriacich hranice zobraziteľného poľa (adresovateľného zobraziteľného rastra). Vyhodnocovacie a oneskorovacie obvody 22 generujú vzhľadom na oneskorenie vychyľovacích zosilňovačov posunutý číslicový signál vyvedený na výstupnú svorku 8, ktorý v prípade, že zobrazovaná informácia na tienitku

obrazovky opúšťa zobraziteľné pole, umožňuje blokovanie videosignálu. Tým sú informácie vystupujúce zo zobraziteľného poľa, alebo nachádzajúce sa mimo neho zatemňované a vstupujúce do zobraziteľného poľa rozsvetované.

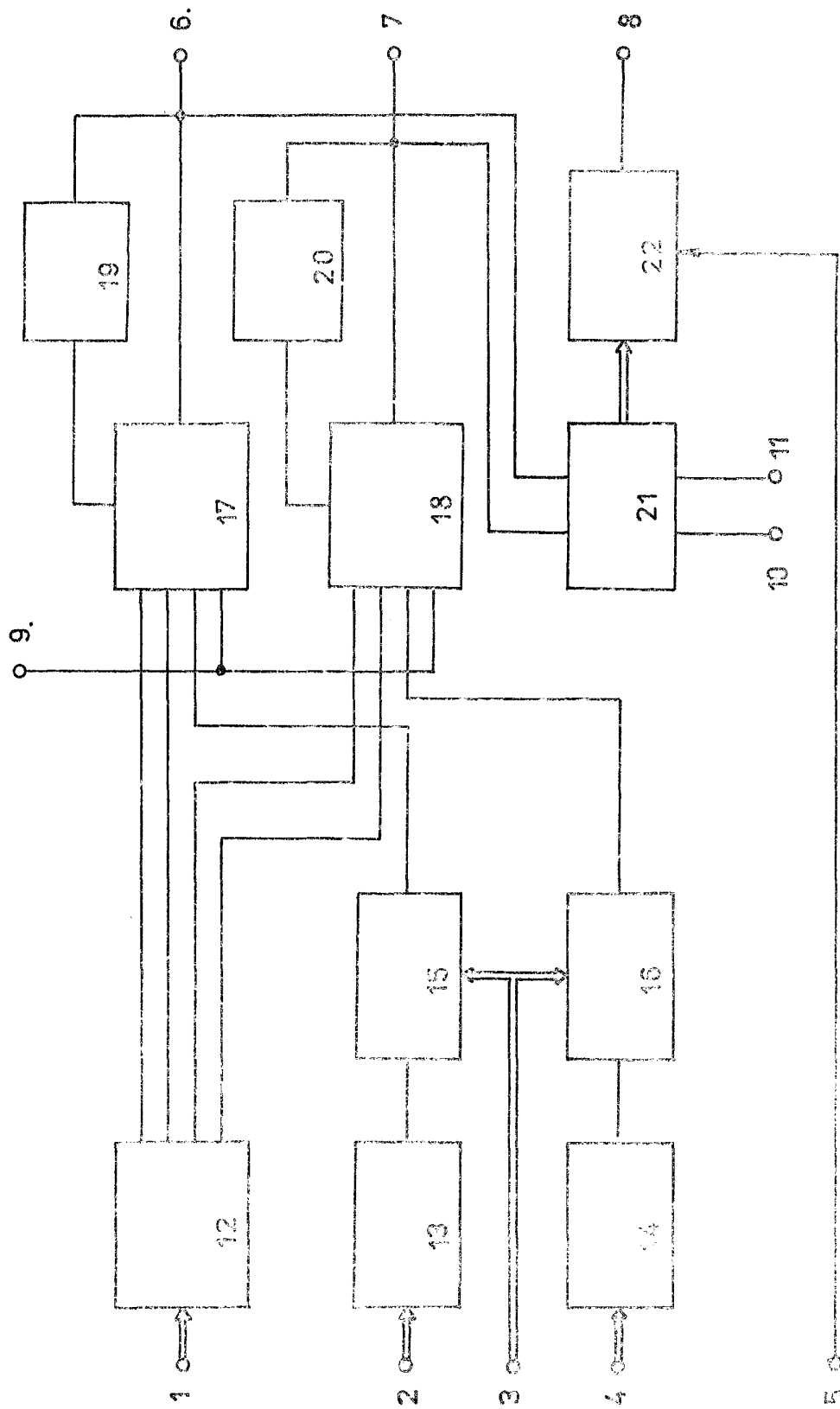
Číslicový signál privedený na vstup 5 zapojenia umožňuje blokovanie výstupného číslicového signálu na svorke 8 v prípade, že zobrazované informácie sa nachádzajú len v rasti zobraziteľného poľa.

Zapojenie generátora analógových signálov je možné využiť nielen pri zobrazovaní dát na grafických vektorových monitoroch a osciloskopoch, ale i na súradnicových zapisovačoch.

PREDMET VYNÁLEZU

Zapojenie generátora analógových signálov pre zobrazenie bodov, vektorov a rastra znakov určených pre budenie vychyľovacích zosilňovačov obrazovkových zariadení zobrazujúcich v pravouhlej zobrazovacej sústave napríklad grafického vektorového monitora alebo osciloskopu, kde na jeho vstupy sú privedené číslicové signály zo zdroja dát, napríklad z grafického procesoru alebo riadiacej jednotky a jeho výstup tvoria dve analógové a jedna číslicová svorka, obsahujúci obvody generujúce signály pre zobrazenie v smere obidvoch osí a pre blokovanie obvodov riadenia jasu, vyznačujúci sa tým, že vstupy generátora (12) napätia pre raster znaku sú spojené s prvým vstupom (1) pre privádzanie číslicových signálov, vstupy prvého číslicovo-analógového prevodníka (13) sú spojené s druhým vstupom (2) pre privádzanie číslicových signálov pre zobrazenie dát v smere jednej osi, zatiaľ čo jeho analógový výstup je spojený so vstupom prvého viacfunkčného integrátora (15), vstupy druhého číslicovo-analógového prevodníka (14) sú spojené so štvrtým vstupom (4) pre privádzanie číslicových signálov pre zobrazenie dát v smere druhej osi, zatiaľ čo jeho analógový výstup je spojený so vstupom druhého viacfunkčného integrátora (16), riadiacej vstupy viacfunkčných integrátorov (15, 16) sú spojené s tretím vstupom (3) pre privádzanie číslicových signálov pre ovládanie ich funkcií, ďalej prvý vstup prvého sumačného zosilňovača (17) je spojený s prvým výstupom a jeho druhý vstup s druhým výstupom generátora

(12) pre raster znaku, jeho tretí vstup je spojený s výstupom prvého viacfunkčného integrátora (15), zatiaľ čo jeho výstup je spojený s prvou výstupnou svorkou (6) tvoriacou analógový výstup pre jednu os zobrazenia, ktorá je spojená s prvým vstupom komparačných obvodov (21) a cez prvý obmedzovací obvod (19) s jeho piatym vstupom, ďalej prvý vstup druhého sumačného zosilňovača (18) je spojený s tretím výstupom a jeho druhý vstup so štvrtým výstupom generátora (12) napätia pre raster znaku, jeho tretí vstup je spojený s výstupom druhého viacfunkčného integrátora (16), zatiaľ čo jeho výstup je spojený s druhou výstupnou svorkou (7) tvoriacou analógový výstup pre druhú os zobrazenia, ktorá je spojená s druhým vstupom komparačných obvodov (21) a cez druhý obmedzovací obvod (20) s jeho piatym vstupom, pričom štvrté vstupy sumačných zosilňovačov (17, 18) sú spojené so zápornou svorkou (9) prvého zdroja referenčného napätia, ďalej tretí vstup komparačných obvodov (21) je spojený s kladnou svorkou (10) druhého zdroja referenčného napätia, ich štvrtý vstup je spojený so zápornou svorkou (11) tretieho zdroja referenčného napätia, zatiaľ čo ich výstupy sú spojené so vstupmi vyhodnocovacích a oneskorovacích obvodov (22), ktorých ďalší vstup je spojený s piatym vstupom (5) pre privádzanie číslicového blokovaného signálu komparácie a ich výstup je spojený s tretou výstupnou svorkou (8) tvoriacou číslicový výstup pre blokovanie obvodov riadenia jasu.



ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA

ÚŘAD PRO VYNÁLEZY A OBJEVY V PRAZE

ČÍSLO 2 5 2 7 3 5

ÚŘAD PRO VYNÁLEZY A OBJEVY V PRAZE
UDĚLIL PODLE § 37, ODS. 1 ZÁKONA
Č. 84/1972 SB. AUTORSKÉ OSVĚDČENÍ
NA VYNÁLEZ, JEHOŽ POPIS JE PŘIPOJEN.
AUTOR VYNÁLEZU:

Perko Pavol ing., Žilina

Schwartz Ladislav ing., Žilina

AUTORSKÉ OSVĚDČENÍ BYLO ZAPSÁNO
DO REJSTŘÍKU VYNÁLEZŮ POD SHORA
UVEDENÝM ČÍSLEM.

VYNÁLEZ JE NÁRODNÍM MAJETKEM.
STÁT MÁ PRÁVO VYUŽÍVAT A POVINNOST
PEČOVAT O CO NEJŠIRŠÍ VYUŽÍVÁNÍ
VYNÁLEZU (§ 6 ZÁKONA Č. 84/1972 SB.).

PŘIHLÁŠKA VYNÁLEZU PV 5178 -85

PŘEDSEDA

V PRAZE 20. dubna 1989



Jedlička

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

252735
(11) (B1)

[51] Int. Cl.⁴
G 01 K 17/08

[22] Prihlášené 11 07 85
[21] (PV 5178-85)

[40] Zverejnené 12 03 87

[45] Vydané 15 10 88

[75]

Autor vynálezu

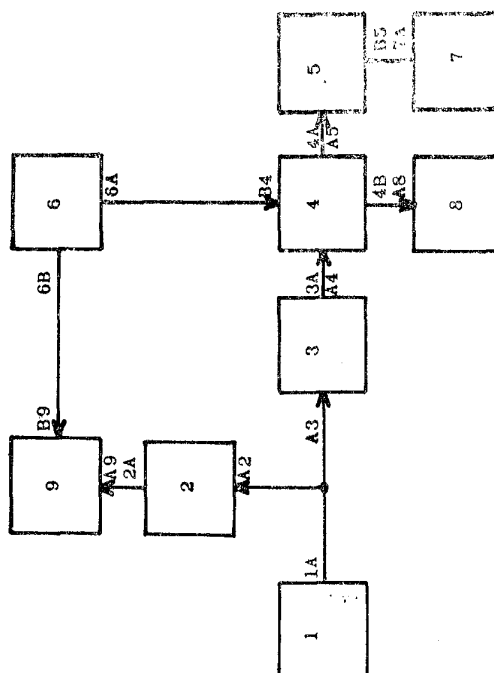
PERKO PAVOL ing., SCHWARTZ LADISLAV ing., ŽILINA

[54] Zapojenie elektronického bytového rozdeľovača nákladov na vykurovanie

1

Zapojenie elektronického bytového rozdeľovača nákladov na vykurovanie, založené na meraní dvoch vzájomných teplôt určujúcich spotrebu tepla. Analógový signál z bloku snímačov teplôt je pritom prevádzaný na digitálny a počet impulzov úmerný rozdielu teplôt je zaznamenávaný v čítači impulzov. Rozdiel teplôt a jemu odpovedajúci počet impulzov je úmerný spotrebe tepla.

2



Vynález rieši zapojenie elektronického bytového rozdeľovača nákladov na vykurovanie, pracujúceho na princípe snímania dvoch rozhodujúcich teplôt nutných pre určenie spotreby tepla podľa vzťahu pre výpočet prechodu tepla pevnou stenou, pričom nemenné, alebo málo a vo všetkých susediacich bytoch rovnako premenlivé hodnoty sú považované za konštantu.

K rozdeľovaniu nákladov za spotrebu tepla pre vykurovanie je v súčasnosti k dispozícii množstvo konštrukčných systémov meračov spotreby tepla. Sú na merače založené na princípe súčasného merania a integrovania prietoku vykurovacej vody a poklesu jej teploty v spotrebiči tepla, alebo merače založené na princípe merania rozhodujúcich teplôt pre určenie spotreby tepla s rôznym stupňom spracovania týchto údajov. Merače — rozdeľovače nákladov na vykurovanie tejto skupiny pre zistenie základných údajov o spotrebe tepla sa umiestňujú priamo na vykurovacom telese s využitím závislosti zmeny fyzikálnych vlastností rôznych látok na teplote a čase, alebo spracovanie údajov o teplotách určujúcich spotrebu tepla vo vykurovanom priestore sa vykonáva v mikropočítači, kde u niektorých výrobkoch je možné ešte zaviesť na vstup mikropočítača údaje o rôznych konštantách pôsobiacich v spotrebe tepla a u špičkových výrobkoch využiť mikropočítač s mikroprocesorom aj na spätné riadenie dodávky tepla do sledovaných priestorov.

Merače založené na meraní prietoku vody sú pre meranie spotreby tepla optimálne, ale ich nevýhodou ako bytových meračov v hromadnej bytovej výstavbe je, že pri prietoku vody pod cca 100 kg/hod a dodržaní nárokov na presnosť merania sa značne zvyšujú požiadavky na mechanickú konštrukciu merača. Súčasne musí konštrukcia stavby a vykurovacieho zariadenia spĺňať viac špeciálnych technických požiadaviek. Merače založené na zmene fyzikálnych vlastností látok sú investične nenáročné, jednoduché, ale značne nepresné a na evidenciu a spracovanie údajov v hromadnej bytovej výstavbe kladú mimoriadne nároky. Merače založené na meraní vzťažných teplôt a ich spracovanie v mikropočítači umožňujú rozdeľovať náklady na vykurovanie s prijateľnou nepresnosťou, s možnosťou centralizovať údaje z viacerých meraných priestorov do jedného miesta, diaľkový prenos údajov a ďalšie výhody využiteľné najmä pri ich aplikácii v hromadnej bytovej výstavbe. V niektorých podmienkach je však ich nevýhodou vysoká investičná náročnosť vyplývajúca z použitia mikroprocesorov a nutných podporných obvodov.

Uvedené nevýhody a nedostatky pri zachovaní výhod elektronických meračov — rozdeľovačov nákladov odstraňuje riešenie vynálezu, ktorého podstata je v tom, že výstup bloku snímačov teploty je spojený s prvým vstupom bloku ochrany proti nepovolanému

zásahu, ktorý je druhým výstupom spojený so vstupom bloku indikácie nepovolaného zásahu a zároveň je výstup bloku snímačov teploty spojený so vstupom bloku signálom riadeného generátora impulzov, ktorý je výstupom spojený s prvým vstupom bloku čítača impulzov a tento je druhým výstupom spojený so vstupom bloku indikácie preplnenia a prvými výstupmi spojený s prvými vstupmi bloku zobrazenia, zatiaľ čo blok nulovania je prvým výstupom spojený s druhým vstupom bloku čítača impulzov a druhým výstupom je spojený s druhým vstupom bloku indikácie nepovolaného zásahu a blok ovládania zobrazenia je výstupom spojený s druhým vstupom bloku zobrazenia.

Zapojenie podľa tohoto vynálezu je oproti doteraz známym obdobným zapojeniam výhodné preto, že je jednoduché a realizovateľné s malým počtom súčiastok.

Na priloženom výkrese je zobrazená celková bloková schéma zapojenia podľa tohoto vynálezu.

Príklad konkrétnej realizácie vynálezu je riešenie podľa obrázku vyznačujúce sa tým, že výstup **1A** bloku **1** snímačov teploty je spojený s prvým vstupom **A2** bloku **2** ochrany proti nepovolanému zásahu, ktorý je druhým výstupom **2A** spojený so vstupom **A9** bloku **9** indikácie nepovolaného zásahu a zároveň je výstup **1A** bloku **1** snímačov teploty spojený so vstupom **A3** bloku **3** signálom riadeného generátora impulzov, ktorý je výstupom **3A** spojený s prvým vstupom **A4** bloku **4** čítača impulzov a tento je druhým výstupom **4B** spojený so vstupom **A8** bloku **8** indikácie preplnenia a prvými výstupmi **4A** spojený s prvými vstupmi **A5** bloku **5** zobrazenia, zatiaľ čo blok **6** nulovania je prvým výstupom **6A** spojený s druhým vstupom **B4** bloku **4** čítača impulzov a druhým výstupom **6B** je spojený s druhým vstupom **B9** bloku **9** indikácie nepovolaného zásahu a blok **7** ovládania zobrazenia je výstupom **7A** spojený s druhým vstupom **B5** bloku **5** zobrazenia.

Vynález je možné využiť pre rozdeľovanie nákladov za vykurovanie v bytoch v spojení s diaľkovým prenosom údajov a v spojení so všetkými súčasne projektovanými vykurovacími sústavami v objektoch novo budovaných aj existujúcich.

Popis činnosti konkrétneho riešenia bytového rozdeľovača nákladov vychádza z bloku snímačov, ktorého vnútorné zapojenie môže byť rôzne s podmienkou jedného výstupu signálu, napr. ako známa dvojica snímačov, z ktorých jeden sníma teplotu v referenčnom bode bytu a druhý teplotu vonkajšieho vzduchu. Výstupom z bloku snímačov je signál, ktorý je funkciou rozdielu týchto teplôt. Tento analógový signál je spracovaný v signálom riadenom generátore na impulzy, ktorých počet je funkciou úrovne analógového signálu. Počet impulzov za určité obdobie je zaznamenávaný v čítači im-

pulzov a príslušná hodnota je zobrazená na displeji bloku zobrazenia. Pomer týchto hodnôt u jednotlivých bytov v objekte zodpovedá pomeru spotrebovanej tepelnej energie. Na základe tohto pomeru a na základe údajov centrálného merača spotreby tepla sú rozpočítavané náklady na vykurovanie.

Aby nedošlo k znehodnoteniu záznamu nepovolaným zásahom, je zariadenie chránené blokom ochrany proti nepovolanému zásahu, ktorý skratovanie, alebo prerušenie vodičov medzi blokom snímačov a generátorom impulzov avizuje v bloku indikácie ne-

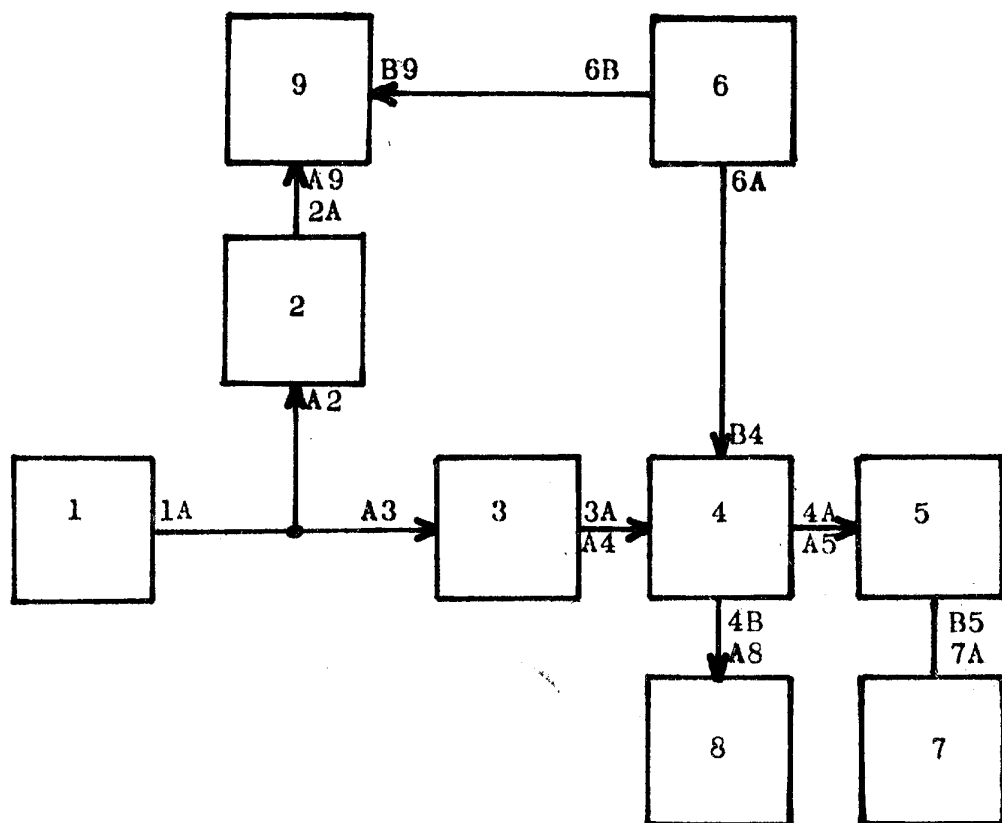
povolaného zásahu. Zariadenie je doplnené obvodom pre uvedenie do počiatočného stavu blokom nulovania, ktorého ovládacie prvky sú dostupné iba povolaným osobám. Zariadenie obsahuje blok indikácie prepĺnenia, ktoré avizuje, že počet zaznamenaných impulzov presiahol kapacitu čítača impulzov a že začína nový cyklus zaznamenávania. Aby displej nebol nepretržite pripojený k zdroju napätia, je jeho činnosť podmienená blokom ovládania zobrazenia. Záznam je zviditeľnený iba v prípade potreby.

PREDMET VYNÁLEZU

Zapojenie elektronického bytového rozdeľovača nákladov na vykurovanie vyznačujúce sa tým, že výstup (1A) bloku (1) snímačov teploty je spojený s prvým vstupom (A2) bloku (2) ochrany proti nepovolanému zásahu, ktorý je druhým výstupom (2A) spojený so vstupom (A9) bloku (9) indikácie nepovolaného zásahu a zároveň je výstup (1A) bloku (1) snímačov teploty spojený so vstupom (A3) bloku (3) signálom riadeného generátora impulzov, ktorý je výstupom (3A) spojený s prvým vstupom (4A) bloku (4) čítača impulzov a tento je dru-

hým výstupom (4B) spojený so vstupom (A8) bloku (8) indikácie prepĺnenia a prvými výstupmi (4A) spojený s prvými vstupmi (A5) bloku (5) zobrazenia, zatiaľ čo blok (6) nulovania je prvým výstupom (6A) spojený s druhým vstupom (B4) bloku (4) čítača impulzov druhým výstupom (6B) je spojený s druhým vstupom (B9) bloku (9) indikácie nepovolaného zásahu a blok (7) ovládania zobrazenia je výstupom (7A) spojený s druhým vstupom (B5) bloku (5) zobrazenia.

252735



ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚRAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

252863
(11) (B1)

(51) Int. Cl.⁴
H 02 M 3/07

[22] Prihlášené 16 05 84
[21] (PV 3621-84)

[40] Zverejnené 12 02 87

[45] Vydané 15 10 88

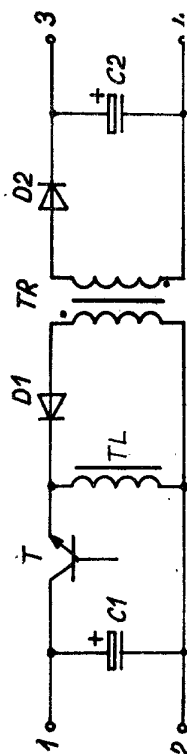
[75]
Autor vynálezu PODSTANICKÝ IGOR RNDr., ŽILINA

(54) Zapojenie impulzného zdroja jednosmerného napätia

1

Impulzný zdroj jednosmerných napätí pracujúci v nepriepustnom režime, pričom samotný transformátor pracuje v priepustnom režime, čo sa dosiahlo zapojením tlmičky v sérii s diódou k primárnemu vinutiu transformátora. Takýmto zapojením môžeme dosiahnuť lepšiu napäťovú stabilitu nekontrolovaných hladín u viachladinových zdrojov a menšie rozmery transformátora.

2



Vynález sa týka zapojenia impulzného zdroja jednosmerných napätí.

Často používaným zdrojom jednosmerných stabilizovaných hladín napätia je nepriepustný menič. Výhodou je jeho jednoduchosť a možnosť nepriamej stabilizácie viacerých hladín napätia. Nevýhodou je potreba pomerne veľkého jadra transformátora a pomerne veľká závislosť napätí nepriamo stabilizovaných hladín od veľkosti záťaží.

Uvedené nevýhody odstraňuje zapojenie impulzného zdroja jednosmerného napätia, podstatou ktorého je, že paralelne ku vstupnému kondenzátoru je pripojený výkonový spínací prvok v sérii s tlmičkou, paralelne ku ktorej je pripojené primárne vinutie transformátora v sérii s diódou, pričom polarita vývodu výkonového spínacieho prvku spojeného s jedným vývodom tlmičky je rovnaká, ako polarita vývodu diódy smerujúceho k tomuto istému vývodu tlmičky. Transformátor má jedno alebo viac sekundárnych vinutí. Paralelne k sekundárnemu vinutiu je pripojený výstupný kondenzátor v sérii s usmerňovacou diódou. Katóda usmerňovacej diódy smeruje k nesúhlasnému koncu sekundárneho vinutia vzhľadom na koniec primárneho vinutia, ku ktorému smeruje katóda diódy pripojenej k jednému koncu primárneho vinutia.

Transformátor v impulznom zdroji jednosmerného napätia pracuje v priepustnom režime. Na rozdiel od nepriepustného trans-

formátora v ňom môžeme použiť feritové jadro bez vzduchovej medzery, čím dosiahneme lepšiu magnetickú väzbu medzi jednotlivými vinutiami transformátora, čo sa prejaví lepšou stabilitou nepriamo stabilizovaných hladín napätia. V porovnaní s nepriepustným transformátorom potrebuje transformátor v popísanom zdroji pri rovnakom prenášanom výkone menšie jadro.

Príklad impulzného zdroja jednosmerného napätia je na pripojenom obrázku, ktorý znázorňuje schému zapojenia.

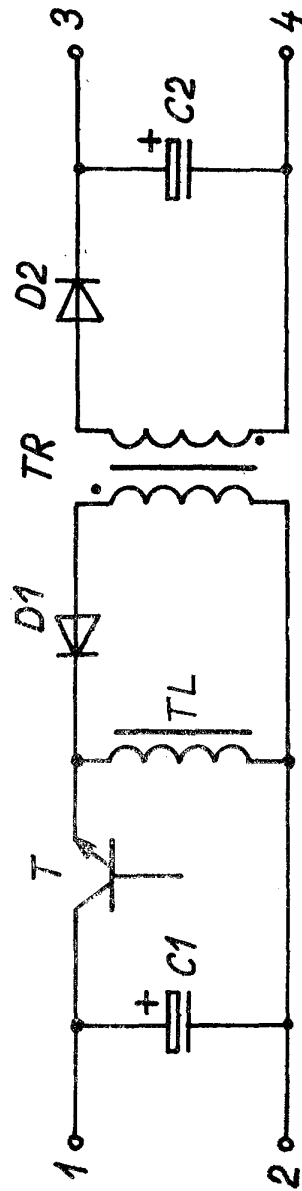
Ku kladnému pólu **1** vstupného kondenzátora **C1** je pripojený kolektor výkonového spínacieho tranzistora typu NPN **T**, emitor ktorého je pripojený k jednému vývodu tlmičky **TL** a katóde diódy **D1**. Anóda diódy **D1** je pripojená k jednému koncu primárneho vinutia transformátora **TR**, druhý koniec ktorého je pripojený k zápornému pólu **2** vstupného kondenzátora **C1**. Druhý vývod tlmičky **TL** je pripojený k zápornému pólu **2** vstupného kondenzátora **C1**. K nesúhlasnému koncu sekundárneho vinutia transformátora **TR** vzhľadom na koniec primárneho vinutia, ku ktorému je pripojená anóda diódy **D1**, je pripojená anóda usmerňovacej diódy **D2**, katóda ktorej je pripojená ku kladnému pólu **3** výstupného kondenzátora **C2**. Druhý koniec sekundárneho vinutia transformátora **TR** je pripojený k zápornému pólu **4** výstupného kondenzátora **C2**.

PREDMET VYNÁLEZU

Zapojenie impulzného zdroja jednosmerného napätia, vyznačené tým, že paralelne ku vstupnému kondenzátoru (**C1**) je pripojená tlmička (**TL**) v sérii so spínacím výkonovým prvkom (**T**) a paralelne ku tlmičke (**TL**) je pripojené primárne vinutie transformátora (**TR**) v sérii s diódou (**D1**), pričom polarita vývodu výkonového spínacieho prvku (**T**) spojeného s jedným vývodom tlmičky (**TL**) je rovnaká ako polarita vývodu diódy (**D1**) smerujúceho k tomu istému

vývodu tlmičky (**TL**), pričom transformátor (**TR**) má jedno alebo viac sekundárnych vinutí, paralelne ku každému z ktorých je pripojená usmerňovacia dióda (**D2**) v sérii s výstupným kondenzátorom (**C2**), pričom katóda usmerňovacej diódy (**D2**) smeruje k nesúhlasnému koncu sekundárneho vinutia transformátora (**TR**), vzhľadom na koniec primárneho vinutia transformátora (**TR**), ku ktorému smeruje katóda diódy (**D1**).

252863



ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

253403

(11) (B1)

(51) Int. Cl.⁴
H 02 M 7/48

(22) Prihlášené 06 01 83

(21) (PV 89-83)

(40) Zverejnené 16 04 87

(45) Vydané 15 10 88

(75)

Autor vynálezu

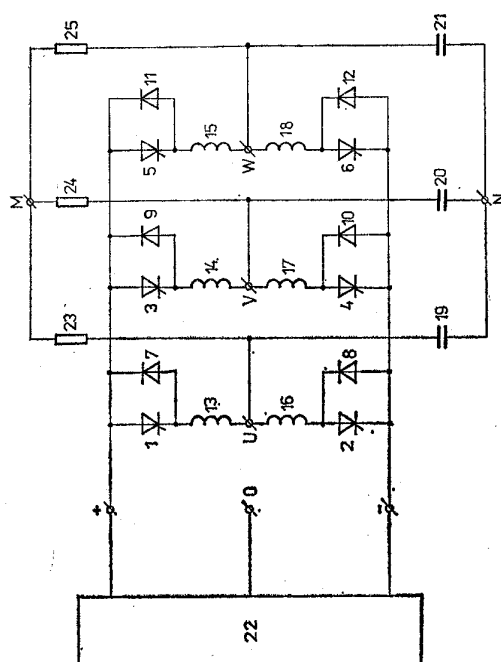
HRABOVEC LADISLAV ing., ŽILINA, VRABEC DOMINIK ing., STRÁŇAVY,
BAREŠ MILAN, ŽILINA

(54) Zapojenie trojfázového rezonančného striedača

1

2

Zapojenie sa týka elektrotechniky, konkrétne polovodičových striedačov. Podstatou zapojenia je vytvorenie trojfázového rezonančného striedača z troch polomostových jednofázových zapojení, pričom trojfázová záťaž sa pripája paralelne ku komutačným kondenzátorom.



Vynález sa týka trojfázového rezonančného striedača, u ktorého sa rieši pripojenie trojfázovej záťaže.

Doteraz známe zapojenia rezonančných striedačov sa využívajú tak, že záťaž je súčasťou paralelného, alebo sériového rezonančného obvodu. V praxi sa obvykle vyskytujú len jednofázové verzie, a to buď v mostovom, alebo polomostovom zapojení. Polomostové zapojenie má oproti mostovému polovičný počet výkonových spínacích prvkov, ale vyžaduje napájací zdroj so stredným vývodom.

Zapojenie trojfázového rezonančného striedača podľa vynálezu je vytvorené zložením troch jednofázových polomostových zapojení so sériovým rezonančným obvodom, pričom záťaž sa pripája paralelne ku komutačným kondenzátorom. Pri symetrii komutačných kondenzátorov a komutačných tlmiviek nemusí byť uzol komutačných kondenzátorov spojený so stredným vývodom zdroja a pri súmernej záťaži spojenej do hviezdy odpadá aj vyvedenie uzla záťaže. Výhodou zapojenia je, že napätie a prúd záťaže sú sínusové, pričom veľkosť napätia málo závisí od veľkosti a charakteru záťaže. Ďalšou výhodou je zjednodušenie napájacieho zdroja, u ktorého odpadá nutnosť stredného vývodu s príslušnými prepojeniami na uzol komutačných kondenzátorov a záťaže.

Schéma zapojenia striedača s pripojenou záťažou je uvedená na priloženom výkrese.

Anódy tyristorov 1, 3, 5 a katódy diód 7, 9, 11 sú pripojené na kladný pól zdroja 22. Katóda tyristora 1 s anódou diódy 7 sú cez komutačnú tlmivku 16 pripojené na svorku U, kde je pripojená aj jedna strana komutačného kondenzátora 19 a záťaže 23. Katóda tyristora 3 s anódou diódy 9 sú cez ko-

mutačnú tlmivku 14 a anódu tyristora 4 s katódou diódy 10 cez komutačnú tlmivku 17 pripojené na svorku V, kde je pripojená aj jedna strana komutačného kondenzátora 20 a záťaže 24. Katóda tyristora 5 s anódou diódy 11 sú cez komutačnú tlmivku 15 a anóda tyristora 6 s katódou diódy 12 cez komutačnú tlmivku 18 pripojené na svorku W, kde je pripojená aj jedna strana komutačného kondenzátora 21 a záťaže 25. Katódy tyristorov 2, 4, 6 a anódy diód 8, 10, 12 sú pripojené na záporný pól zdroja 22. Druhé strany komutačných kondenzátorov 19, 20, 21 sú spojené do uzla N, druhé strany záťaže 23, 24, 25 sú spojené do uzla M.

Tyristory sa spínajú bežným algoritmom, t. j. s odstupom 60° el. dvojice v poradí 1 — 4, 1 — 6, 3 — 6, 3 — 2, 5 — 4. Na komutačných kondenzátoroch 19, 20, 21 a teda aj medzi svorkami U, V, W sa vytvára trojfázové sínusové napätie. Kladná polperióda prúdu vetvy striekača sa uzatvára súčasne vedúcou dvojicou tyristorov cez príslušné v sérii zaradené prvky, napr. 1 — 13 — 19 — 20 — 17 — 4, záporná polperióda prúdu vetvy sa vracia cez príslušné antiparalelné diódy. Súčasne tečie prúd do záťaže, pričom jeho tvar je odpovedajúci napätiu medzi svorkami U, V, W, t. j. sínusový. Počas doby vedenia prúdu diódami príslušné paralelné tyristory obnovujú svoju blokovaciu schopnosť.

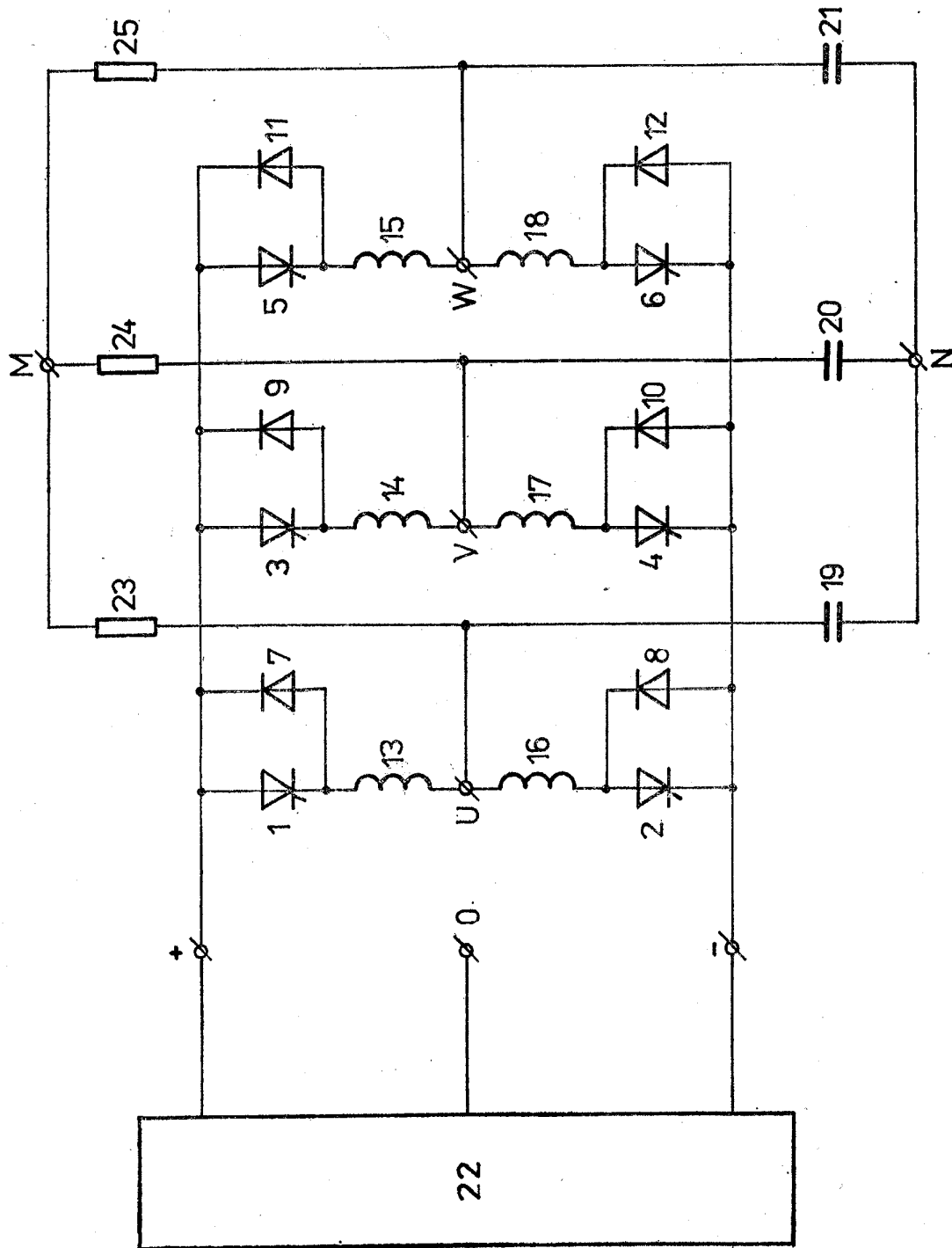
Zapojenie sa dá použiť v trojfázových rezonančných striedačoch konštantnej frekvencie, ak sa vyžaduje napájanie trojfázovej súmernej záťaže sínusovým napätím a prúdom. Výhodné je hlavne pre vyššie frekvencie, pretože klesajú potrebné hodnoty komutačnej kapacity a indukčnosti.

PREDMET VYNÁLEZU

Zapojenie trojfázového rezonančného striedača, vyznačujúce sa tým, že na kladnú svorku (+) zdroja (22) sú anódami paralelne pripojené tyristory (1, 3, 5) a katódami diódy (7, 9, 11), ktorých anódy sú pripojené jednak ku katódam tyristorov (1, 3, 5) a jednak k sériovým kombináciám dvojíc komutačných tlmiviek (13, 16), (14, 17), (15, 18), ku ktorým sú pripojené jednak anódy tyristorov (2, 4, 6), ktorých katódy sú pri-

pojené na zápornú svorku (—) zdroja (22) a jednak katódy diód (8, 10, 12), ktorých anódy sú pripojené na zápornú svorku (—) zdroja (22), pričom na spoločné uzly (U, V, W) dvojíc komutačných tlmiviek (13, 16), (14, 17), (15, 18) sú do hviezdy pripojené jednak komutačné kondenzátory (19, 20, 21) a jednak do hviezdy pripojená záťaž (23, 24, 25).

253403



ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA

ÚŘAD PRO VYNÁLEZY A OBJEVY V PRAZE

ČÍSLO 2 5 6 7 1 7

ÚŘAD PRO VYNÁLEZY A OBJEVY V PRAZE
UDĚLIL PODLE § 37, ODSŤ. 1 ZÁKONA
Č. 84/1972 SB. AUTORSKÉ OSVĚDČENÍ
NA VYNÁLEZ, JEHOŽ POPIS JE PŘIPOJEN.
AUTOR VYNÁLEZU:

Hottmar Vladimír ing., Žilina

Schwartz Ladislav ing., Žilina

AUTORSKÉ OSVĚDČENÍ BYLO ZAPSÁNO
DO REJSTŘÍKU VYNÁLEZŮ POD SHORA
UVEDENÝM ČÍSLEM.

VYNÁLEZ JE NÁRODNÍM MAJETKEM.
STÁT MÁ PRÁVO VYUŽÍVAT A POVINNOST
PEČOVAT O CO NEJŠIRŠÍ VYUŽÍVÁNÍ
VYNÁLEZU (§ 6 ZÁKONA Č. 84/1972 SB.).

PŘIHLÁŠKA VYNÁLEZU

PV 6852-85

PŘEDSEDA

V PRAZE

17. dubna 1989



ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(18)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

256717
(11) (B1)

(51) Int. Cl.⁴
G 06 F 13/14

(22) Prihlášené 26 09 85

(21) (PV 6852-85)

(40) Zverejnené 17 09 87

(45) Vydané 15 11 88

(75)

Autor: vynálezu

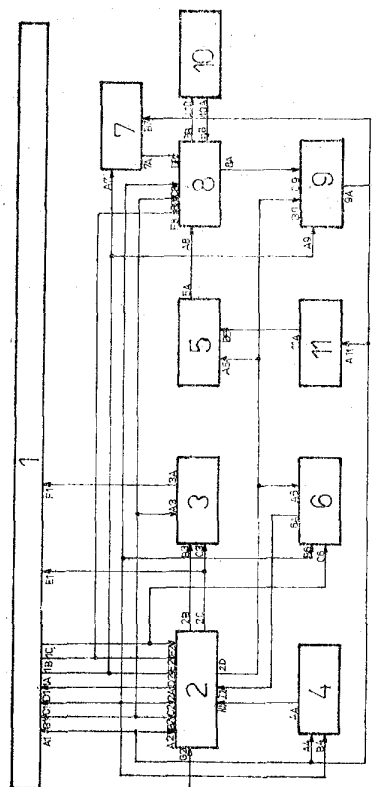
HOTTMAR VLADIMÍR ing., SCHWARTZ LADISLAV ing., ŽILINA

(54) Zapojenie spolupráce radičov priameho prístupu do pamäte
a sériového vstupu a výstupu z rôznych systémových stavebníc prvkov

1

Zapojenie umožňuje spoluprácu radiča priameho prístupu do pamäte z jednej systémovej stavebnice prvkov a jeho ekvivalentov so sériovým vstupno-výstupným radičom z inej systémovej stavebnice prvkov a jeho ekvivalentov. Týmto spôsobom je možné využiť sériový vstupno-výstupný radič až na maximálnu rýchlosť prenosu bez účasti procesora. Zapojenie prispôsobuje a synchronizuje súčinnosť spomenutých radičov určených pre rôzne systémové zbernice.

2



Vynález sa týka zapojenia spolupráce radiča priameho prístupu do pamäte z jednej systémovej stavebnice prvkov a jeho ekvivalentov so sériovým vstupno-výstupným radičom z inej systémovej stavebnice prvkov a jeho ekvivalentov.

Doteraz známe zapojenia s radičom priameho prístupu do pamäte z jednej systémovej stavebnice prvkov a jeho ekvivalentov a so sériovým vstupno-výstupným radičom z inej systémovej stavebnice prvkov a jeho ekvivalentov predpisovali a umožňovali ich spoluprácu len v rámci vlastnej systémovej stavebnice.

Vyššie uvedené nedostatky odstraňuje zapojenie podľa vynálezu, ktorého podstata je v tom, že obojsmerné vstupy dolnej adresnej slabiky bloku systémovej zbernice sú spojené s obojsmernými vstupmi bloku radiča priameho prístupu do pamäte a ďalej so vstupmi bloku výberu priameho prístupu do pamäte a tiež so vstupmi bloku dekódera adresy a so vstupmi bloku návestia príkaz — dáta, pričom obojsmerné dátové vstupy bloku systémovej zbernice sú spojené s obojsmernými vstupmi bloku radiča priameho prístupu do pamäte a ďalej so vstupmi registra hornej adresnej slabiky a tiež so vstupmi bloku radiča sériového vstupu a výstupu, zatiaľ čo obojsmerné riadiace vstupy bloku systémovej zbernice sú spojené s obojsmernými vstupmi bloku radiča priameho prístupu do pamäte a tiež so vstupmi bloku výberu radiča priameho prístupu do pamäte a ďalej so vstupmi bloku synchronizácie doby prístupu a tiež so vstupmi bloku radiča sériového vstupu a výstupu, pričom výstup potvrdenia priameho prístupu do pamäte bloku systémovej zbernice je spojený so vstupom bloku radiča priameho prístupu do pamäte a tiež so vstupom bloku generovania žiadosti a so vstupom bloku návestia príkaz — dáta, zatiaľ čo výstup systémových hodín bloku systémovej zbernice je spojený so vstupom bloku radiča priameho prístupu do pamäte a tiež so vstupom bloku synchronizácie doby prístupu, pričom výstup žiadosti o priamy prístup bloku radiča priameho prístupu do pamäte je spojený so vstupom bloku systémovej zbernice a výstup nulovania bloku systémovej zbernice je spojený so vstupom bloku radiča sériového vstupu a výstupu, a tiež so vstupom bloku radiča priameho prístupu do pamäte, ktorého výstup povolenia je spojený so vstupom registra hornej adresnej slabiky a výstup strobovania bloku radiča priameho prístupu do pamäte je spojený so vstupom registra hornej adresnej slabiky, ktorého výstupy hornej adresnej slabiky sú spojené so vstupmi bloku systémovej zbernice, zatiaľ čo výstup potvrdenia žiadosti bloku radiča priameho prístupu do pamäte je spojený so vstupom bloku synchronizácie doby prístupu a tiež so vstupom bloku výberu radiča sériového vstupu a výstupu a so vstupom bloku generovania

žiadosti, zatiaľ čo výstup pripravenosti bloku synchronizácie doby prístupu je spojený so vstupom bloku radiča priameho prístupu do pamäte a výstup žiadosti bloku generovania žiadosti je spojený so vstupom bloku radiča priameho prístupu do pamäte, pričom výberový výstup bloku dekódera adresy je spojený so vstupom bloku výberu radiča sériového vstupu a výstupu, ktorého povolovací výstup je spojený so vstupom bloku radiča sériového vstupu a výstupu, zatiaľ čo výstup bloku návestia príkaz — dáta je spojený so vstupom bloku radiča sériového vstupu a výstupu, ktorého výstup žiadosti je spojený so vstupom bloku generovania žiadosti, pričom sériový výstup dát bloku radiča sériového vstupu a výstupu je spojený so vstupom bloku prevodníka signálu a sériový výstup dát bloku prevodníka signálu je spojený so vstupom bloku radiča sériového vstupu a výstupu.

Zapojenie podľa tohoto vynálezu je oproti doteraz známym zapojeniam výhodné preto, že umožňuje spoluprácu radičov priameho prístupu do pamäte a sériového vstupu a výstupu z rôznych systémových stavebníc prvkov a ich ekvivalentov. Priame spojenie takýchto prvkov nie je možné.

Na priloženom výkrese obr. 1 je zobrazená celková bloková schéma zapojenia podľa tohoto vynálezu.

Príklad konkrétnej realizácie vynálezu je riešenie podľa obr. 1, vyznačujúce sa tým, že obojsmerné vstupy **A1** dolnej adresnej slabiky bloku **1** systémovej zbernice sú spojené s obojsmernými vstupmi **A2** bloku **2** radiča priameho prístupu do pamäte a ďalej so vstupmi **A4** bloku **4** výberu priameho prístupu do pamäte a tiež so vstupmi **A11** bloku **11** dekódera adresy a so vstupmi **B7** bloku **7** návestia príkaz — dáta. Obojsmerné dátové vstupy **B1** bloku **1** systémovej zbernice sú spojené s obojsmernými vstupmi **B2** bloku **2** radiča priameho prístupu do pamäte a ďalej so vstupmi **A3** registra **3** hornej adresnej slabiky a tiež so vstupmi **B8** bloku **8** radiča sériového vstupu a výstupu. Obojsmerné riadiace vstupy **C1** bloku **1** systémovej zbernice sú spojené s obojsmernými vstupmi **C2** bloku **2** radiča priameho prístupu do pamäte a tiež so vstupmi **B4** bloku **4** výberu radiča priameho prístupu do pamäte a ďalej so vstupmi **B6** bloku **6** synchronizácie doby prístupu a tiež so vstupmi **C8** bloku **8** radiča sériového vstupu a výstupu. Výstup **1A** potvrdenia priameho prístupu do pamäte bloku **1** systémovej zbernice je spojený so vstupom **D2** bloku **2** radiča priameho prístupu do pamäte a tiež so vstupom **A9** bloku **9** generovania žiadosti a so vstupom **A7** bloku **7** návestia príkaz — dáta. Výstup **1C** systémových hodín bloku **1** systémovej zbernice je spojený so vstupom **F2** bloku **2** radiča priameho prístupu do pamäte a tiež so vstupom **C6** bloku **6** synchronizácie doby prístupu. Výstup **2A** žiadosti o priamy prís-

stup bloku 2 radiča priameho prístupu do pamäte je spojený so vstupom D1 bloku 1 systémovej zbernice. Výstup 1B nulovania bloku 1 systémovej zbernice je spojený so vstupom F8 bloku 8 radiča sériového vstupu a výstupu a tiež so vstupom E2 bloku 2 radiča priameho prístupu do pamäte, ktorého výstup 2B povolenia je spojený so vstupom B3 registra 3 hornej adresnej slabiky. Výstup 2C strobovania bloku 2 radiča priameho prístupu do pamäte je spojený so vstupom C3 registra 3 hornej adresnej slabiky, ktorého výstupy 3A hornej adresnej slabiky sú spojené so vstupmi F1 bloku 1 systémovej zbernice. Výstup 2D potvrdenia žiadosti bloku 2 radiča priameho prístupu do pamäte je spojený so vstupom A6 bloku 6 synchronizácie doby prístupu a tiež so vstupom A5 bloku 5 výberu radiča sériového vstupu a výstupu a so vstupom B9 bloku 9 generovania žiadosti.

Výstup 6A pripravenosti bloku 6 synchronizácie doby prístupu je spojený so vstupom I2 bloku 2 radiča priameho prístupu do pamäte. Výstup 9A žiadosti bloku 9 generovania žiadosti je spojený so vstupom G2 bloku 2 radiča priameho prístupu do pamäte.

Výberový výstup 11A bloku 11 dekódera adresy je spojený so vstupom B5 bloku 5 výberu radiča sériového vstupu a výstupu, ktorého povolovací výstup 5A je spojený so vstupom A8 bloku 8 radiča sériového vstupu a výstupu. Výstup 7A bloku 7 návestia príkaz — dáta je spojený so vstupom D8 bloku 8 radiča sériového vstupu a výstupu,

ktorého výstup 8A žiadosti je spojený so vstupom C9 bloku 9 generovania žiadosti. Sériový výstup 8B dát bloku 8 radiča sériového vstupu a výstupu je spojený so vstupom A10 bloku 10 prevodníka signálu. Sériový výstup 10A dát bloku 10 prevodníka signálu je spojený so vstupom E8 bloku 8 radiča sériového vstupu a výstupu. Výstup 4A bloku 4 výberu radiča priameho prístupu do pamäte je spojený so vstupom H2 bloku 2 radiča priameho prístupu do pamäte.

Zapojenie, ktoré je predmetom tohto vynálezu, umožňuje spoluprácu prvkov z dvoch rôznych systémových stavebníc. Zapojenie funguje tak, že systémovou zbernicou je prostredníctvom výberu priameho prístupu do pamäte ovládaný radič priameho prístupu do pamäte a prostredníctvom dekódera adresy spolu s výberom radiča sériového vstupu a výstupu. Systémovou zbernicou a radičom priameho prístupu do pamäte je ovládaný register hornej adresnej slabiky. V režime priameho prístupu do pamäte je blokom generovania žiadosti vydaná žiadosť o priamy prístup a vzájomná spolupráca medzi radičom priameho prístupu do pamäte a radičom sériového vstupu a výstupu je synchronizovaná obvody synchronizácie doby prístupu.

Zapojenie podľa tohto vynálezu umožňuje spoluprácu prvkov z dvoch rôznych systémových stavebníc. Toto zapojenie je použité v riadení terminálovej pokladne. Môže byť tiež použité aj v iných mikroprocesorových radičoch zariadení.

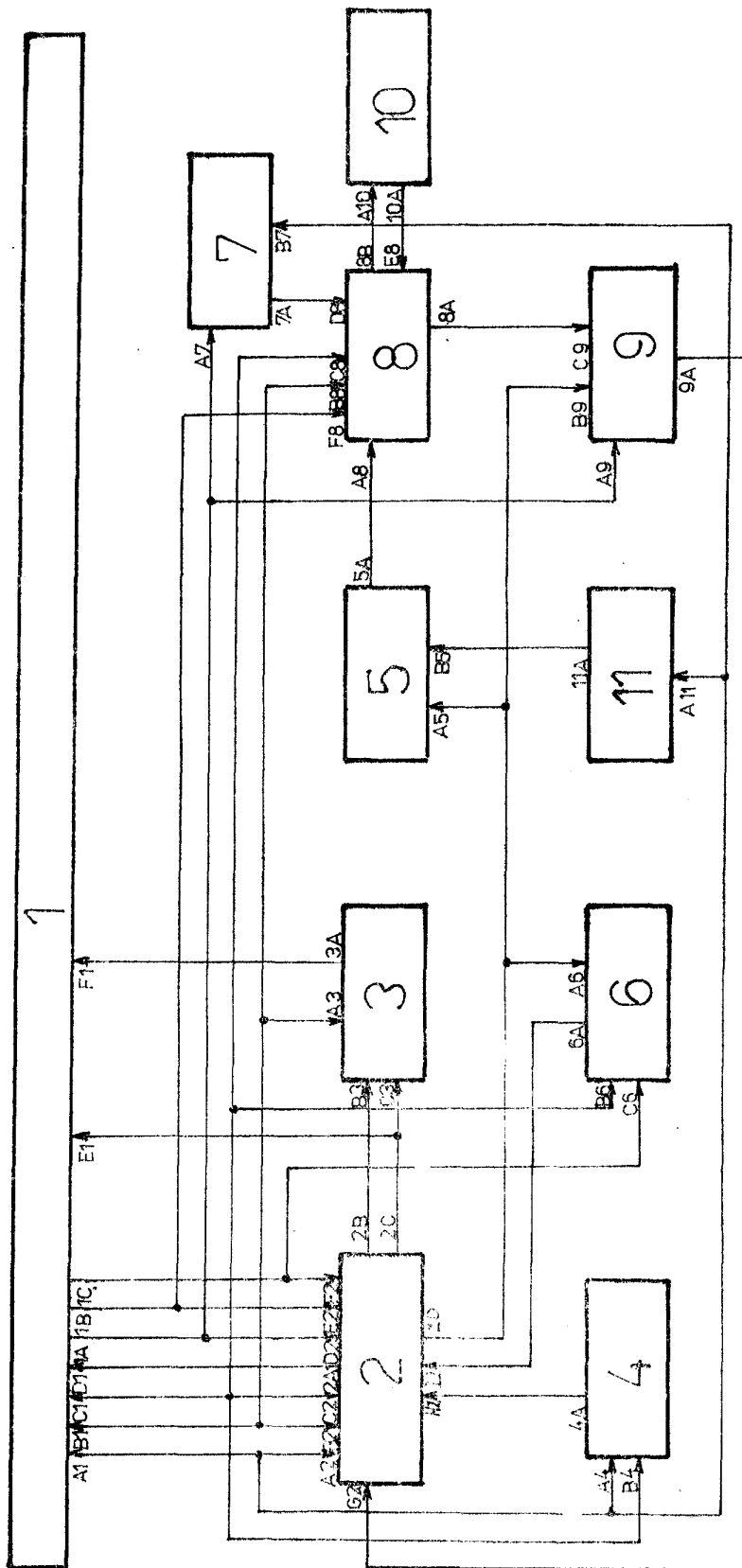
PREDMET VYNÁLEZU

Zapojenie spolupráce radičov priameho prístupu do pamäte a sériového vstupu a výstupu z rôznych systémových stavebníc prvkov, vyznačujúce sa tým, že obojsmerné vstupy (A1) dolnej adresnej slabiky bloku (1) systémovej zbernice sú spojené s obojsmernými vstupmi (A2) bloku (2) radiča priameho prístupu do pamäte a ďalej so vstupmi (A4) bloku (4) výberu priameho prístupu do pamäte a tiež so vstupmi (A11) bloku (11) dekódera adresy a so vstupmi (B7) bloku (7) návestia príkaz — dáta, pričom obojsmerné dátové vstupy (B1) bloku (1) systémovej zbernice sú spojené s obojsmernými vstupmi (B2) bloku (2) radiča priameho prístupu do pamäte a ďalej so vstupmi (A3) registra (3) hornej adresnej slabiky a tiež so vstupmi (B8) bloku (8) radiča sériového vstupu a výstupu, zatiaľ čo obojsmerné riadiace vstupy (C1) bloku (1) systémovej zbernice sú spojené s obojsmernými vstupmi (C2) bloku (2) radiča priameho prístupu do pamäte a tiež so vstupmi (B4) bloku (4) výberu radiča priameho prístupu do pamäte a ďalej so vstupmi (B6) bloku (6) synchronizácie doby prístupu a tiež so vstupmi (C8) bloku (8) radiča sé-

riového vstupu a výstupu, pričom výstup (1A) potvrdenia priameho prístupu do pamäte bloku (1) systémovej zbernice je spojený so vstupom (D2) bloku (2) radiča priameho prístupu do pamäte a tiež so vstupom (A9) bloku (9) generovania žiadosti a so vstupom (A7) bloku (7) návestia príkaz — dáta, zatiaľ čo výstup (1C) systémových hodín bloku (1) systémovej zbernice je spojený so vstupom (F2) bloku (2) radiča priameho prístupu do pamäte a tiež so vstupom (C6) bloku (6) synchronizácie doby prístupu, pričom výstup (2A) žiadosti o priamy prístup bloku (2) radiča priameho prístupu do pamäte je spojený so vstupom (D1) bloku (1) systémovej zbernice a výstup (1B) nulovania bloku (1) systémovej zbernice je spojený so vstupom (F8) bloku (8) radiča sériového vstupu a výstupu a tiež so vstupom (E2) bloku (2) radiča priameho prístupu do pamäte, ktorého výstup (2B) povolenia je spojený so vstupom (B3) registra (3) hornej adresnej slabiky a výstup (2C) strobovania bloku (2) radiča priameho prístupu do pamäte je spojený so vstupom (C3) registra (3) hornej adresnej slabiky, ktoré-

ho výstupy (3A) hornej adresnej slabiky sú spojené so vstupmi (F1) bloku (1) systémovej zbernice, zatiaľ čo výstup (2D) potvrdenia žiadosti bloku (2) radiča priameho prístupu do pamäte je spojený so vstupom (A6) bloku (6) synchronizácie doby prístupu a tiež so vstupom (A5) bloku (5) výberu radiča sériového vstupu a výstupu a so vstupom (B9) bloku (9) generovania žiadosti, zatiaľ čo výstup (6A) pripravenosti bloku (6) synchronizácie doby prístupu je spojený so vstupom (I2) bloku (2) radiča priameho prístupu do pamäte a výstup (9A) žiadosti bloku (9) generovania žiadostí je spojený so vstupom (G2) bloku (2) radiča priameho prístupu do pamäte, pričom výberový výstup (11A) bloku (11) dekódera adresy je spojený so vstupom (B5) bloku (5) výberu radiča sériového vstupu a výstupu, ktorého

rého povolovací výstup (5A) je spojený so vstupom (A8) bloku (8) radiča sériového vstupu a výstupu, zatiaľ čo výstup (7A) bloku (7) návestia príkaz -- dáta je spojený so vstupom (D8) bloku (8) radiča sériového vstupu a výstupu, ktorého výstup (8A) žiadosti je spojený so vstupom (C9) bloku (9) generovania žiadostí, pričom sériový výstup (8B) dát bloku (8) radiča sériového vstupu a výstupu je spojený so vstupom (A10) bloku (10) prevodníka signálu a sériový výstup (10A) dát bloku (10) prevodníka signálu je spojený so vstupom (E8) bloku (8) radiča sériového vstupu a výstupu, pričom výstup (4A) bloku (4) výberu radiča priameho prístupu do pamäte je spojený so vstupom (H2) bloku (2) radiča priameho prístupu do pamäte.



ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA

ÚŘAD PRO VYNÁLEZY A OBJEVY V PRAZE

AUTORSKÉ OSVĚDČENÍ

ČÍSLO 2 5 6 7 1 8

ÚŘAD PRO VYNÁLEZY A OBJEVY V PRAZE
UDĚLIL PODLE § 37, ODS. 1 ZÁKONA
Č. 84/1972 SB. AUTORSKÉ OSVĚDČENÍ
NA VYNÁLEZ, JEHOŽ POPIS JE PŘIPOJEN.
AUTOR VYNÁLEZU:

Schwartz Ladislav ing., Žilina

AUTORSKÉ OSVĚDČENÍ BYLO ZAPSÁNO
DO REJSTRÍKU VYNÁLEZŮ POD SHORA
UVEDENÝM ČÍSLEM.
VYNÁLEZ JE NÁRODNÍM MAJETKEM.
STÁT MÁ PRÁVO VYUŽÍVAT A POVINNOST
PEČOVAT O CO NEJŠIRŠÍ VYUŽÍVÁNÍ
VYNÁLEZU (§ 6 ZÁKONA Č. 84/1972 SB.).

PŘIHLÁŠKA VYNÁLEZU PV 6853-85

PŘEDSEDA

V PRAZE 25. července 1989

Járuš
7

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

256718
(11) (B1)

(51) Int. Cl.⁴
G 06 F 13/14

(22) Prihlášené 26 09 85
(21) (PV 6853-85)

(40) Zverejnené 17 09 87

(45) Vydané 15 11 88

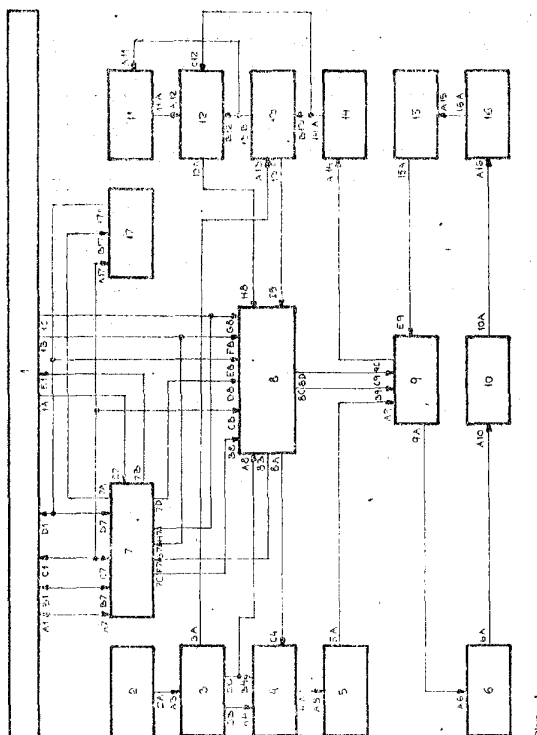
(75)
Autor vynálezu SCHWARTZ LADISLAV ing., ŽILINA

(54) Zapojenie komunikačného modulu lokálnej siete

1

Zapojenie umožňuje realizovať jednoduchý komunikačný modul pre tvorbu lokálnej siete. Umožňuje veľmi rýchly prenos pri poloduplexnej prevádzke v mnohobodovom zapojení siete. Je možné použiť bitovo aj znakovovo orientované protokoly s cyklickým zabezpečením prenosu. Realizuje plný dvojkový prenos v základnom pásme.

2



Vynález sa týka zapojenia komunikačného modulu lokálnej siete.

Doteraz známe zapojenia komunikačných modulov lokálnych sietí rôznych typov boli príliš zložité a komplikované, z čoho vyplývalo aj množstvo použitých súčiastok a veľkosť realizovaného komunikačného modulu.

Vyššie uvedené nedostatky odstraňuje zapojenie podľa vynálezu, ktorého podstata je v tom, že obojsmerné vstupy dolnej adresnej slabiky bloku systémovej zbernice sú spojené s obojsmernými vstupmi bloku riadenia priameho prístupu do pamäte a adresného výberu, ktorého obojsmerné vstupy hornej adresnej slabiky sú spojené s obojsmernými vstupmi bloku systémovej zbernice, zatiaľ čo obojsmerné riadiace vstupy bloku systémovej zbernice sú spojené s obojsmernými vstupmi bloku riadenia priameho prístupu do pamäte a adresného výberu a tiež so vstupmi bloku riadenia sériového vstupu a výstupu a ďalej tiež so vstupom bloku voľby adresy uzla siete, pričom obojsmerné dátové vstupy bloku systémovej zbernice sú spojené s obojsmernými vstupmi bloku riadenia priameho prístupu do pamäte a adresného výberu a tiež s obojsmernými vstupmi bloku riadenie sériového vstupu a výstupu a ďalej tiež s výstupmi bloku voľby adresy uzla siete, zatiaľ čo výstup žiadosti o priamy prístup do pamäte bloku riadenia priameho prístupu do pamäte a adresného výberu je spojený so vstupom bloku systémovej zbernice, ktorého výstup potvrdenia žiadosti o priamy prístup do pamäte je spojený so vstupom bloku riadenia priameho prístupu do pamäte a adresného výberu, pričom výstup systémových hodín bloku systémovej zbernice je spojený so vstupom bloku riadenia sériového vstupu a výstupu a tiež so vstupom bloku riadenia priameho prístupu do pamäte a adresného výberu, zatiaľ čo nulovací výstup bloku systémovej zbernice je spojený so vstupom bloku riadenia sériového vstupu a výstupu a tiež so vstupom bloku riadenia priameho prístupu do pamäte a adresného výberu, ktorého výstup je spojený so vstupom bloku voľby adresy uzla siete, pričom výberový výstup bloku riadenia priameho prístupu do pamäte a adresného výberu je spojený so vstupom bloku riadenia sériového vstupu a výstupu, ktorého výstup pripravenosti je spojený so vstupom bloku riadenia priameho prístupu do pamäte a adresného výberu, ktorého výstup návestia príkaz — dáta je spojený so vstupom bloku riadenia sériového vstupu a výstupu, zatiaľ čo hodinový výstup bloku generátora hodín je spojený so vstupom bloku deličky, ktorej prvý výstup je spojený so vstupom bloku číslicového závesu, pričom druhý výstup bloku deličky je spojený so vstupom bloku kódera a tretí výstup bloku deličky je spojený so vstupom bloku kódera a tiež so vstupom bloku riadenia sériového vstupu a výstupu, ktorého dá-

tový výstup je spojený so vstupom bloku kódera, pričom výstup kódovaných dát bloku kódera je spojený so vstupom bloku vysielacieho klopného obvodu, ktorého výstupy sú spojené so vstupmi bloku hradlovacieho obvodu, pričom výstupy bloku hradlovacieho obvodu sú spojené so vstupmi bloku vysielacieho prevodníka, ktorého výstupy sú spojené so vstupmi bloku galvanického oddelenia, zatiaľ čo výstupy bloku galvanického oddelenia sú spojené so vstupmi bloku filtra, ktorého výstupy sú spojené so vstupmi bloku prijímacieho prevodníka, pričom výstupy bloku prijímacieho prevodníka sú spojené so vstupmi bloku hradlovacieho obvodu, ktorého dátové výstupy sú spojené so vstupmi bloku kódera, pričom výstup bloku kódera je spojený so vstupom bloku prijímacieho klopného obvodu a tiež so vstupom bloku číslicového závesu, ktorého hodinový výstup je spojený so vstupom bloku riadenia sériového vstupu a výstupu, zatiaľ čo výstup vyhodnocovania dát bloku číslicového závesu je spojený so vstupom bloku prijímacieho klopného obvodu a tiež so vstupom indikácie konca príjmu, ktorého inicializačný výstup je spojený so vstupom bloku prijímacieho klopného obvodu, pričom dátový výstup bloku prijímacieho klopného obvodu je spojený so vstupom bloku riadenia sériového vstupu a výstupu, zatiaľ čo prvý riadiaci výstup bloku riadenia sériového vstupu a výstupu je spojený so vstupom bloku hradlovacieho obvodu a druhý riadiaci výstup bloku riadenia sériového vstupu a výstupu je spojený so vstupom hradlovacieho obvodu.

Zapojenie podľa tohoto vynálezu je oproti doteraz známym zapojeniam výhodné preto, že je jednoduché a realizovateľné s malým počtom súčiastok, z čoho vyplýva aj malá zastavená plocha.

Na priloženom výkrese obr. 1 je zobrazená celková blokovaná schéma zapojenia podľa tohoto vynálezu.

Príklad konkrétnej realizácie vynálezu je riešenie podľa obr. 1, vyznačujúce sa tým, že obojsmerné vstupy A1 dolnej adresnej slabiky bloku 1 systémovej zbernice sú spojené s obojsmernými vstupmi A7 bloku 7 zariadenia priameho prístupu do pamäte a adresného výberu, ktorého obojsmerné vstupy B7 hornej adresnej slabiky sú spojené s obojsmernými vstupmi B1 bloku 1 systémovej zbernice. Obojsmerné riadiace vstupy C1 bloku 1 systémovej zbernice sú spojené s obojsmernými vstupmi C7 bloku 7 riadenia priameho prístupu do pamäte a adresného výberu a tiež so vstupmi C8 bloku 8 riadenia sériového vstupu a výstupu a ďalej tiež so vstupom A17 bloku 17 voľby adresy uzla siete. Obojsmerné dátové vstupy D1 bloku 1 systémovej zbernice sú spojené s obojsmernými vstupmi D7 bloku 7 riadenia priameho prístupu do pamäte a adresného výberu a tiež s obojsmernými vstupmi

E8 bloku **8** riadenia sériového vstupu a výstupu a ďalej tiež s výstupmi **17A** bloku **17** voľby adresy uzla siete. Výstup **7B** žiadosti o priamy prístup do pamäte bloku **7** riadenia priameho prístupu do pamäte a adresného výberu je spojený so vstupom **E1** bloku **1** systémovej zbernice, ktorého výstup **1A** potvrdenia žiadosti o priamy prístup do pamäte je spojený so vstupom **E7** bloku **7** riadenia priameho prístupu do pamäte a adresného výberu. Výstup **1B** systémových hodín bloku **1** systémovej zbernice je spojený so vstupom **F8** bloku **8** riadenia sériového vstupu a výstupu a tiež so vstupom **G7** bloku **7** riadenia priameho prístupu do pamäte a adresného výberu. Nulovací výstup **1C** bloku **1** systémovej zbernice je spojený so vstupom **G8** bloku **8** riadenia sériového vstupu a výstupu a tiež so vstupom **H7** bloku **7** riadenia priameho prístupu do pamäte a adresného výberu, ktorého výstup **7A** výberu je spojený so vstupom **B17** bloku **17** voľby adresy uzla siete. Výberový výstup **7D** bloku **7** riadenia priameho prístupu do pamäte a adresného výberu je spojený so vstupom **D8** bloku **8** riadenia sériového vstupu a výstupu, ktorého výstup **8B** pripravenosti je spojený so vstupom **F7** bloku **7** riadenia priameho prístupu do pamäte a adresného výberu, ktorého výstup **7C** návestia príkaz — dáta je spojený so vstupom **B8** bloku **8** riadenia sériového vstupu a výstupu. Hodinový výstup **2A** bloku **2** generátora hodín je spojený so vstupom **A3** bloku **3** deličky, ktorej prvý výstup **3A** je spojený so vstupom **A13** bloku **13** číslicového závesu. Druhý výstup **3B** bloku **3** deličky je spojený so vstupom **A4** bloku **4** kódéra a tretí výstup **3C** bloku **3** deličky je spojený so vstupom **B4** bloku **4** kódéra a tiež so vstupom **A8** bloku **8** riadenia sériového vstupu a výstupu, ktorého dátový výstup **8A** je spojený so vstupom **C4** bloku **4** kódéra. Výstup **4A** kódovaných dát bloku **4** kódéra je spojený so vstupom **A5** bloku **5** vysielacieho klopného obvodu, ktorého výstupy **5A** sú spojené so vstupmi **A9** bloku **9** hradlovacieho obvodu. Výstupy **9A** bloku **9** hradlovacieho obvodu sú spojené so vstupmi **A6** bloku **6** vysielacieho prevodníka, ktorého výstupy **6A** sú spojené so vstupmi **A10** bloku **10** galvanického oddelenia. Výstupy **10A** bloku **10** galvanického oddelenia sú spojené so vstupmi **A16** bloku **16** filtra, ktorého výstupy **16A** sú spojené so vstupmi **A15** bloku **15** prijíma-

cieho prevodníka. Výstupy **15A** bloku **15** prijímacieho prevodníka sú spojené so vstupmi **E9** bloku **9** hradlovacieho obvodu, ktorého dátové výstupy **9C** sú spojené so vstupmi **A14** bloku **14** dekódera. Výstup **14A** bloku **14** dekódera je spojený so vstupom **C12** bloku **12** prijímacieho klopného obvodu a tiež so vstupom **B13** bloku **13** číslicového závesu, ktorého hodinový výstup **13A** je spojený so vstupom **I8** bloku **8** riadenia sériového vstupu a výstupu. Výstup **13B** vyhodnocovania dát bloku **13** číslicového závesu je spojený so vstupom **B12** bloku **12** prijímacieho klopného obvodu a tiež so vstupom **A11** bloku **11** indikácie konca príjmu, ktorého inicializačný výstup **11A** je spojený so vstupom **A12** bloku **12** prijímacieho klopného obvodu. Dátový výstup **12A** bloku **12** prijímacieho klopného obvodu je spojený so vstupom **H8** bloku **8** riadenia sériového vstupu a výstupu. Prvý riadiaci výstup **8C** bloku **8** riadenia sériového vstupu a výstupu je spojený so vstupom **B9** bloku **9** hradlovacieho obvodu a druhý riadiaci výstup **8D** bloku **8** riadenia sériového vstupu a výstupu je spojený so vstupom **C9** bloku **9** hradlovacieho obvodu.

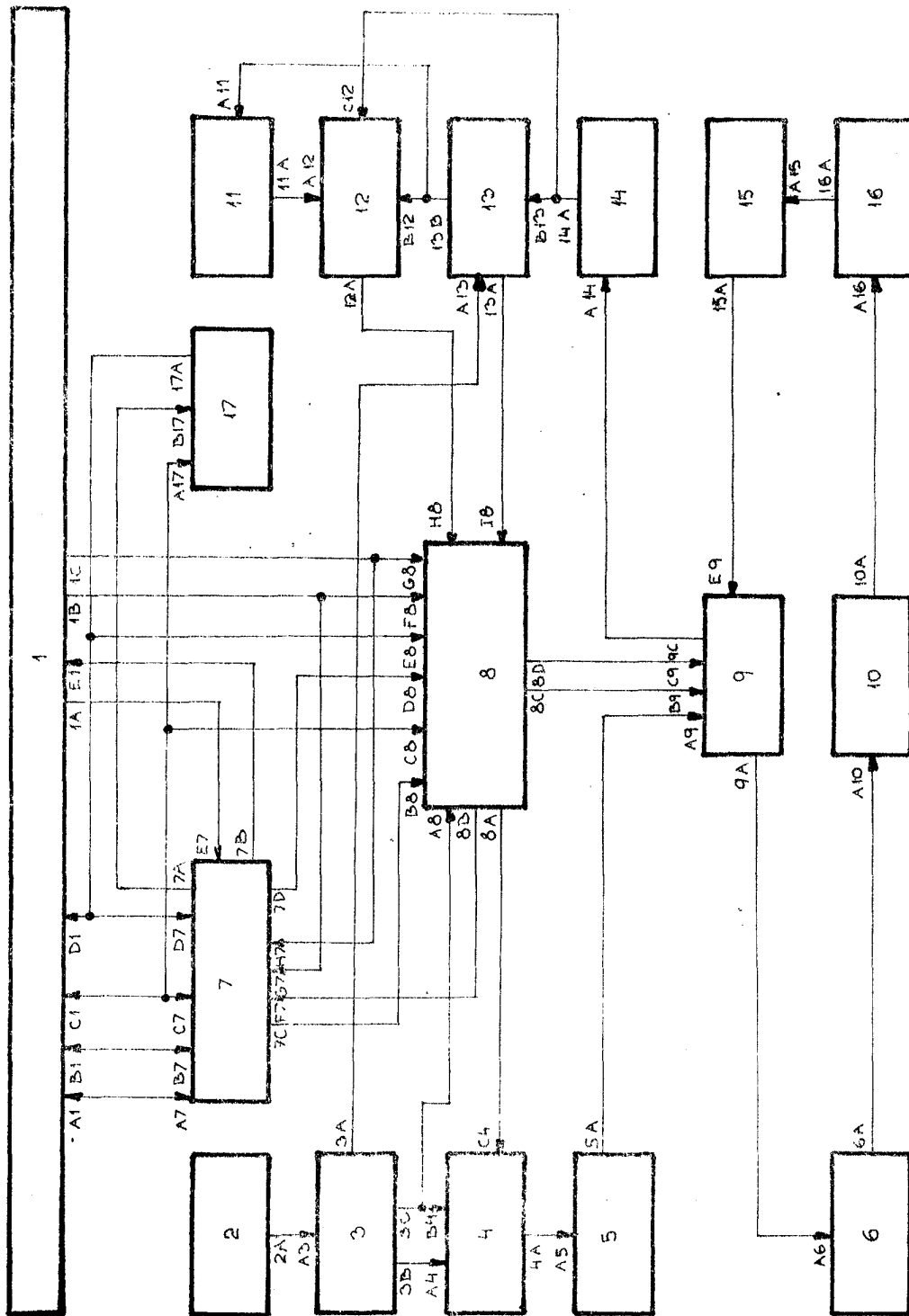
Zapojenie podľa tohoto vynálezu pracuje takto: Systémová zbernica ovláda riadenie priameho prístupu do pamäte a riadenie sériového vstupu a výstupu. V režime priameho prístupu do pamäte riadenie priameho prístupu do pamäte priamo ovláda riadenie sériového vstupu a výstupu. Pri vysielaní sa hodiny z generátora hodín vydelené v deličke spolu s vysielanými dátami kódujú v kódéri. Odtiaľ kódované dáta prechádzajú cez vysielací klopný obvod, hradlovací obvod, vysielací prevodník do galvanického oddelenia a odtiaľ von. Pri prijíme dátový signál vstupuje cez galvanické oddelenie do filtra a prijímacieho prevodníka a odtiaľ do hradlovacieho obvodu a dekódera. Dekódovacie dáta vstupujú do číslicového závesu a prijímacieho klopného obvodu a taktiež indikácie konca príjmu. Adresa prijímaných dát je porovnávaná s adresou nastavenou v bloku voľby adresy uzla siete, čím je robená selekcia prijímaných správ.

Zapojenie podľa tohoto vynálezu je použité v terminálovej pokladni pre pripojenia do lokálnej počítačovej siete. Uvedené zapojenie je možné pre jeho jednoduchosť využiť aj pre pripojenie osobných počítačov do lokálnej siete.

PREDMET VYNÁLEZU

Zapojenie komunikačného modulu lokálnej siete, vyznačujúce sa tým, že obojsmerné vstupy (A1) dolnej adresnej slabiky bloku (1) systémovej zbernice sú spojené s obojsmernými vstupmi (A7) bloku (7) riadenia priameho prístupu do pamäte a adresného výberu, ktorého obojsmerné vstupy (B7) hornej adresnej slabiky sú spojené s obojsmernými vstupmi (B1) bloku (1) systémovej zbernice, zatiaľ čo obojsmerné riadiace vstupy (C1) bloku (1) systémovej zbernice sú spojené s obojsmernými vstupmi (C7) bloku (7) riadenia priameho prístupu do pamäte a adresného výberu a tiež so vstupmi (C8) bloku (8) riadenia sériového vstupu a výstupu a ďalej tiež so vstupom (A17) bloku (17) voľby adresy uzla siete, pričom obojsmerné dátové vstupy (D1) bloku (1) systémovej zbernice sú spojené s obojsmernými vstupmi (D7) bloku (7) riadenia priameho prístupu do pamäte a adresného výberu a tiež s obojsmernými vstupmi (E8) bloku (8) riadenia sériového vstupu a výstupu a ďalej tiež s výstupmi (17A) bloku (17) voľby adresy uzla siete, zatiaľ čo výstup (7B) žiadosti o priamy prístup do pamäte bloku (7) riadenia priameho prístupu do pamäte a adresného výberu je spojený so vstupom (E1) bloku (1) systémovej zbernice, ktorého výstup (1A) potvrdenia žiadosti o priamy prístup do pamäte je spojený so vstupom (E7) bloku (7) riadenia priameho prístupu do pamäte a adresného výberu, pričom výstup (1B) systémových hodín bloku (1) systémovej zbernice je spojený so vstupom (F8) bloku (8) riadenia sériového vstupu a výstupu a tiež so vstupom (G7) bloku (7) riadenia priameho prístupu do pamäte a adresného výberu, zatiaľ čo nulovací výstup (1C) bloku (1) systémovej zbernice je spojený so vstupom (G8) bloku (8) riadenia sériového vstupu a výstupu a tiež so vstupom (H7) bloku (7) riadenia priameho prístupu do pamäte a adresného výberu, ktorého výstup (7A) výberu je spojený so vstupom (B17) bloku (17) voľby adresy uzla siete, pričom výberový výstup (7D) bloku (7) riadenia priameho prístupu do pamäte a adresného výberu je spojený so vstupom (D8) bloku (8) riadenia sériového vstupu a výstupu, ktorého výstup (8B) pripravenosti je spojený so vstupom (F7) bloku (7) riadenia priameho prístupu do pamäte a adresného výberu, ktorého výstup (7C) návestia príkaz — dáta je spojený so vstupom (B8) bloku (8) riadenia

sériového vstupu a výstupu, zatiaľ čo hodinový výstup (2A) bloku (2) generátora hodín je spojený so vstupom (A3) bloku (3) deličky, ktorej prvý výstup (3A) je spojený so vstupom (A13) bloku (13) číslicového závesu, pričom druhý výstup (3B) bloku (3) deličky je spojený so vstupom (A4) bloku (4) kódéra a tretí výstup (3C) bloku (3) deličky je spojený so vstupom (B4) bloku (4) kódéra a tiež so vstupom (A8) bloku (8) riadenia sériového vstupu a výstupu, ktorého dátový výstup (8A) je spojený so vstupom (C4) bloku (4) kódéra, pričom výstup (4A) kódovaných dát bloku (4) kódéra je spojený so vstupom (A5) bloku (5) vysielacieho klopného obvodu, ktorého výstupy (A5) sú spojené so vstupmi (A9) bloku (9) hradlovacieho obvodu, pričom výstupy (9A) bloku (9) hradlovacieho obvodu sú spojené so vstupmi (A6) bloku (6) vysielacieho prevodníka, ktorého výstupy (6A) sú spojené so vstupmi (A10) bloku (10) galvanického oddelenia, zatiaľ čo výstupy (10A) bloku (10) galvanického oddelenia sú spojené so vstupmi (A16) bloku (16) filtra, ktorého výstupy (16A) sú spojené so vstupmi (A15) bloku (15) prijímacieho prevodníka, pričom výstupy (15A) bloku (15) prijímacieho prevodníka sú spojené so vstupmi (E9) bloku (9) hradlovacieho obvodu, ktorého dátové výstupy (9C) sú spojené so vstupmi (A14) bloku (14) dekódera, pričom výstup (14A) bloku (14) dekódera je spojený so vstupom (C12) bloku (12) prijímacieho klopného obvodu a tiež so vstupom (B13) bloku (13) číslicového závesu, ktorého hodinový výstup (13A) je spojený so vstupom (I8) bloku (8) riadenia sériového vstupu a výstupu, zatiaľ čo výstup (13B) vyhodnocovania dát bloku (13) číslicového závesu je spojený so vstupom (B12) bloku (12) prijímacieho klopného obvodu a tiež so vstupom (A11) bloku (11) indikácie konca príjmu, ktorého inicializačný výstup (11A) je spojený so vstupom (A12) bloku (12) prijímacieho klopného obvodu, pričom dátový výstup (12A) bloku (12) prijímacieho klopného obvodu je spojený so vstupom (H8) bloku (8) riadenia sériového vstupu a výstupu, zatiaľ čo prvý riadiaci výstup (8C) bloku (8) riadenia sériového vstupu a výstupu je spojený so vstupom (B9) bloku (9) hradlovacieho obvodu a druhý riadiaci výstup (8D) bloku (8) riadenia sériového vstupu a výstupu je spojený so vstupom (C9) bloku (9) hradlovacieho obvodu.



Obr.

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

257115

(11) (B1)

(51) Int. Cl.⁴
G 06 K 7/00

[22] Prihlášené 01 04 86
[21] (PV 2277-86.D)

[40] Zverejnené 17 09 87

[45] Vydané 15 11 88

[75]

Autor vynálezu

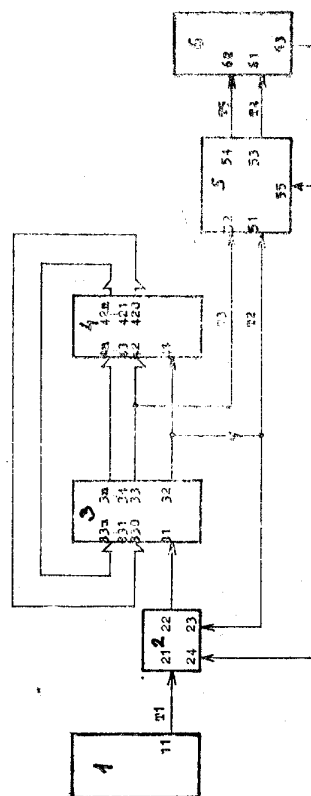
BÍZIK JÁN ing., SCHWARZ JINDŘICH ing., ŠIKULINEC VLADIMÍR ing.,
ŽILINA

(54) Zapojenie k spracovaniu sériových dát generovaných mechanizmami pružných diskov

1

Zapojenie k spracovaniu sériových dát rieši pripojenie mechanizmov pružných diskov k výpočtovým systémom. Zapojenie spracuje sériové dáta z mechanizmov pružných diskov, vykompenzuje náhodné chyby dát pri kolísaní nominálnych otáčok motora mechanizmov a používa len jednoduché súčiastky číslícového charakteru. Zapojenie je vytvorené tak, že výstup sériových dát z mechanizmu pružných diskov je privedený na vstupný obvod, ktorého výstup je privedený na jeden vstup registra, ktorého výstupy sú spojené so vstupmi pamäte a so vstupmi synchronizačného bloku. Výstupy pamäte sú spojené s ďalšími vstupmi registra. Jeden výstup registra je spojený s nulovacím vstupom vstupného obvodu. Výstupy synchronizačného bloku sú privedené na vstupy integrovaného radiča pružných diskov, ktorého výstup je spojený jednak s nulovacím vstupom synchronizačného bloku, jednak so vstupom vstupného obvodu.

2



Vynález sa týka zapojenia k spracovaniu sériových dát generovaných mechanizmami pružných diskov.

Doterajšie zapojenia k spracovaniu sériových dát generovaných mechanizmami pružných diskov boli riešené buď analógovo, alebo číslicovo. V prvom prípade základnými prvkami zapojenia sú fázový detektor a napäťovo riadený oscilátor a sériové dáta sú synchronizované. Týmto zapojením je dosiahnuté, že prípadná chyba v časovej sekvencii dát je vykompenzovaná. V druhom prípade základnými prvkami zapojenia sú register a pamäť ROM, ale sériové dáta nie sú synchronizované, čím môže dôjsť k chybnému spracovaniu prijímaných dát.

Výhody vyššie uvedených zapojení používa zapojenie k spracovaniu sériových dát generovaných mechanizmami pružných diskov, ktorého podstata spočíva v tom, že výstup mechanizmu pružných diskov je spojený so vstupom vstupného obvodu, ktorého výstup je privedený na jeden vstup registra, ktorého výstupy sú spojené so vstupmi pamäte, ktorej výstupy sú pripojené na ďalšie vstupy registra a ďalej jeden z výstupov registra je spojený so vstupom synchronizačného bloku a s nulovacím vstupom vstupného obvodu a ďalší z výstupov registra je spojený s časovacím vstupom synchronizačného bloku, ktorého výstupy sú spojené so vstupmi integrovaného radiča pružných diskov, ktorého výstup je pripojený na nulovací vstup synchronizačného bloku a na vstup vstupného obvodu.

Zapojenie k spracovaniu sériových dát podľa tohoto vynálezu je opät doteraz známym podobným zapojeniam výhodné preto, že používa len jednoduché číslicové súčiastky, má jednoduché výrobné i oživovacie vlastnosti a používa synchronizáciu vstupných sériových dát, čím sú kompenzované náhodné chyby v časovej sekvencii sériových dát generovaných mechanizmami pružných diskov.

Na pripojených výkresoch je na obr. 1 naznačený príklad zapojenia k spracovaniu sériových dát podľa tohoto vynálezu a na obr. 2 sú časové priebehy.

Zapojenie k spracovaniu sériových dát na obr. 1 tvorí vstupný obvod 2, na ktorého vstup 21 je pripojený výstup 11 mechanizmu pružných diskov 1. Výstup 22 vstupného obvodu 2 je spojený so vstupom 31 registra 3 a výstup 32 registra 3 je spojený s nulovacím vstupom 23 vstupného obvodu 2, so vstupom 41 pamäte 4 a so vstupom 51 synchronizačného bloku 5. Výstupy 33, 34, ... 3n registra 3 sú spojené so vstupmi 42, 43, ... 4n pamäte 4 a výstupy 420, 421, ... 42n pamäte 4 sú spojené so vstupmi 330, 331, ... 33n registra 3. Výstup 33 registra je ďalej spojený s časovacím vstupom 52 synchronizačného bloku 5. Výstupy 53 a 54 synchronizačného bloku 5 sú pripoje-

né na vstupy 61 a 62 integrovaného radiča pružných diskov 6. Výstup 63 integrovaného radiča pružných diskov 6 je spojený s nulovacím vstupom 55 synchronizačného bloku 5 a so vstupom 24 vstupného obvodu 2.

Funkcia zapojenia k spracovaniu sériových dát podľa tohoto vynálezu je objasnená na časových priebehoch schématicky znázornených na obr. 2. Mechanizmus pružných diskov 1 generuje sériové dáta T1 z výstupu 11. Tieto sú privedené na vstup 21 vstupného obvodu 2 a sú v ňom spracované, ak je činnosť vstupného obvodu 2 povolená na vstupe 24. Spracované dáta sú z výstupu 22 vstupného obvodu 2 privádzané na vstup 31 registra 3, čím je ovplyvnený výstup 32 registra 3. Výstupný signál T2 z výstupu 32 registra 3 nuluje vstupný obvod 2 cez nulovací vstup 23 a ďalej je privedený na vstup 51 synchronizačného bloku 5.

Logická nula výstupného signálu T2 je vytváraná po čase ΔT_1 po spádovej hrane sériových dát T1. Výstupy 32, 33, 34, ... 3n registra 3 sú privedené na vstupy 41, 42, 43, ... 4n pamäte 4, čím sú ovplyvňované výstupy 420, 421, ... 42n pamäte 4, ktoré sú privádzané na vstupy 330, 331, ... 33n registra 3 a tak sú opäť ovplyvnené výstupy 33, 34, ... 3n registra 3.

Výstupný signál T3 z výstupu 33 registra 3 je tiež privedený na časovací vstup 52 synchronizačného bloku 5. Doba T2, počas ktorej výstupný signál T3 je v logickej nule, resp. doba ΔT_3 , počas ktorej je výstupný signál T3 v logickej jednotke, je určená dobou ΔT_5 , resp. dobou ΔT_6 .

Výstupné signály T2 a T3 privádzané na vstup 51 a časovací vstup 52 synchronizačného bloku 5 sú v ňom spracované a z výstupov 53 a 54 synchronizačného bloku 5 vedené do vstupov 61 a 62 integrovaného radiča pružných diskov 6. Logická jednotka výsledného signálu T4 je generovaná po dobe ΔT_4 od spádovej hrany výstupného signálu T3 alebo ak je výstupný signál T2 v logickej nule počas trvania logickej nuly výstupného signálu T3, tak je logická jednotka výsledného signálu T4 generovaná po dobe ΔT_7 od spádovej hrany výstupného signálu T2. Výsledný signál T5 zmení hodnotu z logickej nuly na logickú jednotku, alebo naopak, pri prechode výstupného signálu T3 z logickej nuly do logickej jednotky. Tým je dosiahnuté, že vzostupná hrana výsledného signálu T4 je generovaná po dobe ΔT_8 po preklopení výsledného signálu T5 a dobu ΔT_9 pred preklopením výsledného signálu T5. Výsledné signály T4 a T5 z výstupov 53 a 54 synchronizačného bloku 5 predstavujú synchronizované sériové dáta a úrovňový signál, počas trvania ktorého sú platné jednotlivé bity synchronizovaných sériových dát.

Zapojenie k spracovaniu sériových dát generovaných mechanizmami pružných diskov podľa tohoto vynálezu umožňuje pri pod-

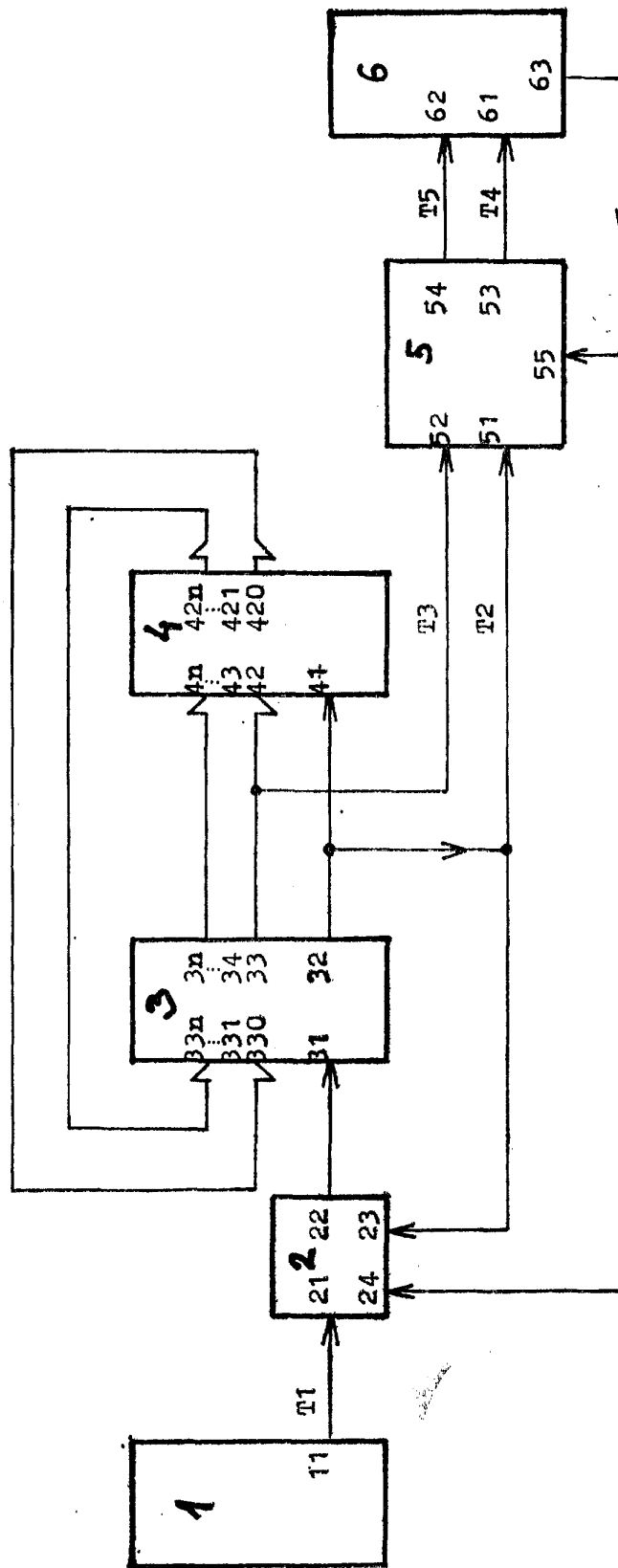
statnom znížení nákladov na dovoz súčastok spoľahlivo spracovať sériové dáta požadované pri práci s pružnými diskami.

PREDMET VYNÁLEZU

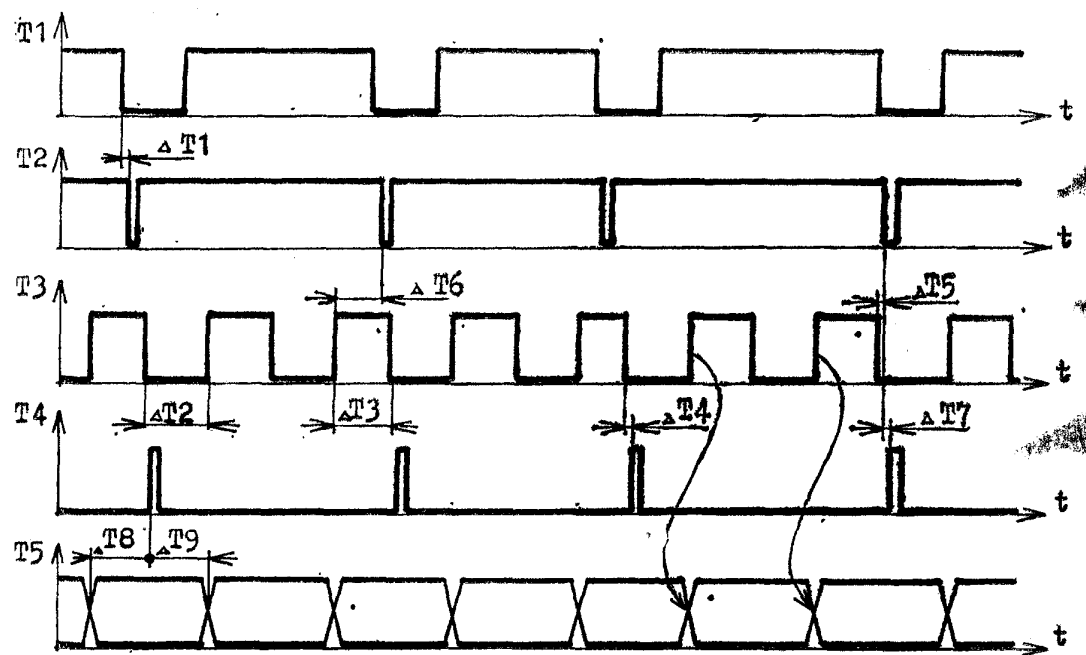
Zapojenie k spracovaniu sériových dát generovaných mechanizmami pružných diskov, vyznačujúce sa tým, že výstup (11) mechanizmu pružných diskov (1) je spojený so vstupom (21) vstupného obvodu (2), ktorého výstup (22) je spojený so vstupom (31) registra (3) a výstup (32) registra (3) je spojený so vstupom (41) pamäte (4), ďalej s nulovacím vstupom (23) vstupného obvodu (2) a so vstupom (51) synchronizačného bloku (5), ktorého časovací vstup (52) je spojený s výstupom (33) registra

(3) a so vstupom (42) pamäte (4), ktorej výstupy (420, 421, ..., 42n) sú spojené so vstupmi (330, 331, ..., 33n) sú spojené ktorého výstupy (34, ..., 3n) sú spojené so vstupmi (43, ..., 4n) pamäte (4), a ďalej výstupy (53, 54) synchronizačného bloku (5) sú spojené so vstupmi (61, 62) integrovaného radiča pružných diskov (6), ktorého výstup (63) je spojený s nulovacím vstupom (55) synchronizačného bloku (5) a so vstupom (24) vstupného obvodu (2).

2 listy výkresov



obr.1



obr. 2



POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

257129
(11) (B1)

[51] Int. Cl.⁴
B 41 F 31/02

[22] Prihlášené 26 05 86
[21] (PV 3867-86.D)

[40] Zverejnené 17 09 87

[45] Vydané 15 11 88

[75]

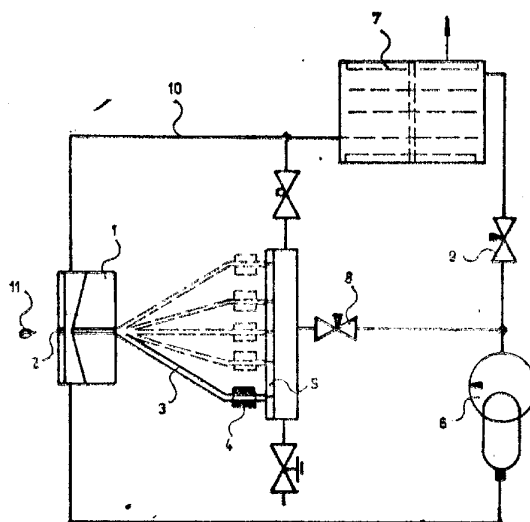
Autor vynálezu BIELIK VIKTOR ing., ŽILINA

(54) Hlavica pre viacfarebnú tlač

1

2

Hlavica viacfarebnej tlače pre tlačiarne s valcom alebo planárne zapisovacie zariadenia. Pracuje nehlučne na hydraulicko-elektronickom princípe a text, resp. ľubovoľný obrázok, realizuje prostredníctvom troch druhov atramentov základných farieb, modrozelenej, žltej a tmavočervenej na normálny papier. Základný rozmer tlačeného — zapísaného bodu je $\varnothing 0,25$ mm. Farebný bod vzniká kombináciou vystreknutých kvapiek atramentu troch rovnakých, vedľa seba pracujúcich obvodov. Každý z atramentov je nasávaný membránovým čerpadelkom cez difúzor v hlavičke tlače. Prídavným atramentom sa nastaví žiadaný mierny podtlak v difúzore a tým aj v striekacej dýze, ktorá je časťou difúzora. Tlakové impulzné teliesko uložené vo vedení prídavného atramentu, spôsobuje elektronicky riadené vystrekovanie kvapiek daného atramentu. Jednotlivé obvody môžu byť usporiadane tak, že môžu mať viac strekovacích dýz nad sebou.



Obr. 1

Vynález sa týka hlavice pre viacfarebnú tlač, ktorá je kľúčová časť tlačiarne. Môže byť použitá v tlačiarňach s valcom alebo v planárnych zapisovacích zariadeniach. Je nehluchá, lebo pracuje na hydraulicko-elektronickom princípe.

Ako tlačivé médium sa používajú tri atramenty, modrozelený, žltý a tmavočervený. Každý z atramentov má rovnaký, vedľa seba pracujúci obvod, ukončený v mieste tlaču jednou a viac dýzami nad sebou v podtlakovej vetve difúzora o priemere $0,05 \pm 0,1$ mm. Časovaný elektronický buďený tlakový impulz v hydraulickom obvode, spôsobí vystreknutie atramentu. Kombináciou vystreknutých kvapôčiek atramentov sa vyvolá žiadaný farebný odtieň na normálnom papieri.

V dýzach je udržiavaný mierny podtlak, čo vylučuje odkvapávanie atramentov, resp. deformáciu tlačných bodov. Podstata riešenia spočíva v tom, že difúzor s dýzou je pripojený na prítokovej strane k nádržke kvapaliny, na odtokovej strane cez čerpadlo a ventil k nádržke kvapaliny a trubičkami, cez tlakové impulzné telieska, redukčnú mriežku a ventil k vedeniu spájajúcemu čerpadlo s ventilom.

Pretože hlavica pre viacfarebnú tlač má tri rovnaké, vedľa seba pracujúce obvody,

ktoré vystrekujú tri rôznofarebné atramenty, kombináciou ktorých vzniká žiadaný farebný bod na normálnom papieri, popis činnosti obvodov sa obmedzuje na jeden. Na pripojenom výkrese je schematicky znázornený hydraulicko-elektronický obvod.

Membránové čerpadlo 6, nasáva z nádržky 7, daný atrament vedením 10 cez difúzor 1, kde vytvára podtlak v kritickom priereze. Základná veľkosť podtlaku sa nastaví ventilom 9. Ďalšie prídavné množstvo atramentu priteká ventilom 8, redukčnou mriežkou 5, impulznými tlakovými telieskami 4 a trubičkami 3 do kritického prierezu difúzora, kde je atrament prakticky nasávaný.

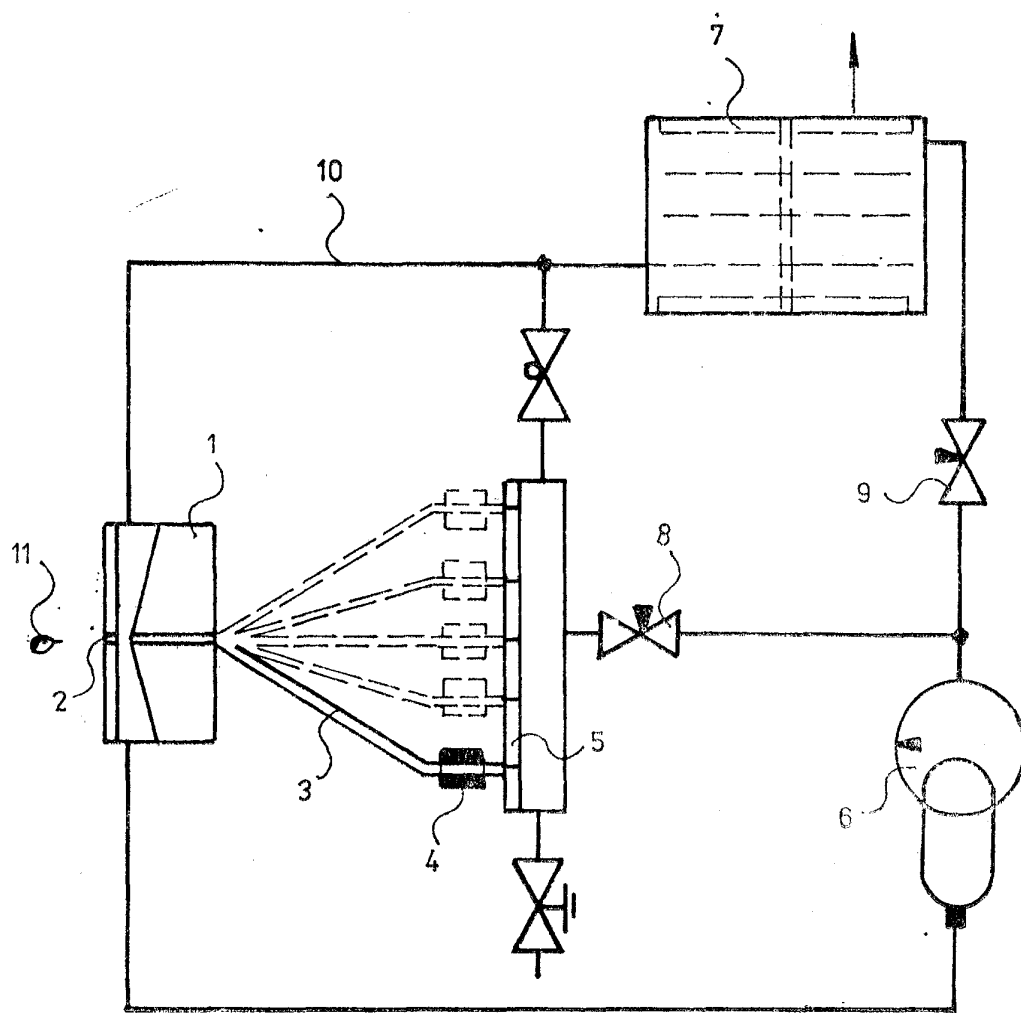
Žiadaný podtlak v kritickom priereze difúzora a tým aj v dýze 2, sa nastaví ventilom 8. Počet trubičiek 3 je závislý na voľbe rýchlosti vystrekovania kvapôčiek, čo je obmedzené hydrodynamickými pomermi v trubičke. Impulzné tlakové telieska 4, pracujú v cyklickej zámene, riadenej elektronicky. Redukčná mriežka má funkciu eliminácie tlakového impulzu, smerom dozadu k ventilu 8 a má význam pri použití počtu trubičiek nad jedna.

V podtlakovej vetve difúzora 1 môže byť viac dýz 2 so samostatnými trubičkami 3 s rozstupom cca $0,5 \pm 1,5$ mm.

PREDMET VYNÁLEZU

Hlavica pre viacfarebnú tlač, slúžiaca ako hydraulicko-elektronický obvod, pre riadené vystrekovanie kvapaliny v kvapkách, pozostávajúca z difúzora, dýzy, trubičiek, impulzných teliesok, redukčnej mriežky, čerpadla, nádržky kvapaliny, ventilov a vedenia, vyznačujúca sa tým, že difúzor (1) s

dýzou (2) je pripojený, na prítokovej strane k nádržke kvapaliny (7), na odtokovej strane, cez čerpadlo (6) a ventil (9) k nádržke kvapaliny (7) a trubičkami (3), cez tlakové impulzné telieska (4), redukčnú mriežku (5) a ventil (8) k vedeniu spájajúcemu čerpadlo (6) s ventilom (9).



Obr. 1



GRAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

259276
(11) (B1)

(51) Int. Cl.⁴
H 03 M 7/22

(22) Prihlásené 28 11 86
(21) (PV 8741-86.G)

(40) Zverejnené 15 02 88

(45) Vydané 15 03 89

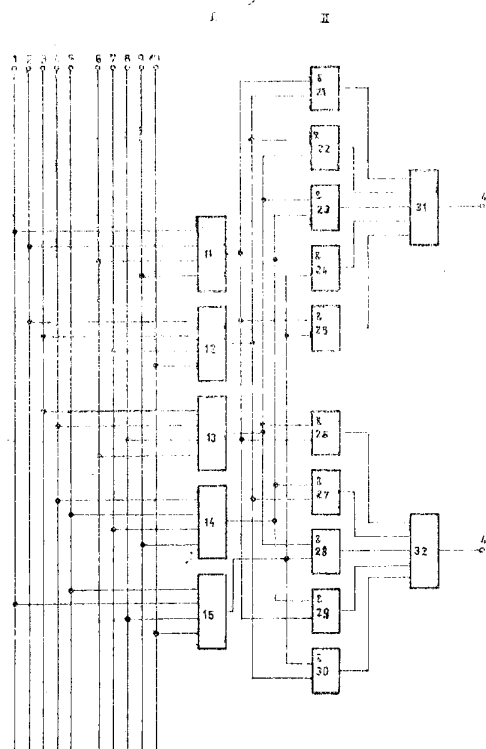
(75)
Autor vynálezu HRONEC RUDOLF ing. CSc., ŽILINA

(54) Zapojenie obvodu pre samočinnú kontrolu kódu 1 z 10

1

Problematika patrí do odboru výpočtovej techniky a rieši zapojenie obvodu pre samočinnú kontrolu kódu 1 z 10. Podstata riešenia je v tom, že má štrukturálnu logickú schému, pozostávajúcu z 3 logických úrovní, z ktorých prvú a tretiu logickú úroveň tvoria súčtové logické členy, druhú úroveň tvoria súčinové logické členy. Pre realizáciu štrukturálnej schémy je potrebných 17 logických členov a celkový počet vstupov týchto logických členov je 50. Obvod má široké uplatnenie pri konštrukcii časti počítačov, ako sú zbernice, kontrola prerušovacieho systému, sekvenčné automaty s detekciou porúch, prevodníky medzi kódmi, kontrola prenosu dát medzi časťami počítača, kontrola výstupu riadenia signálnej skupiny v zabezpečovacej technike. Kontrola prevodníka z dvojkovej sústavy do desiatkovej sústavy.

2



Vynález sa týka zapojenia obvodu pre samočinnú kontrolu kódu 1 z 10, ktorý kontroluje prislusnosť vstupného signálu ku kódu 1 z 10, ktorý má desať dvojhodnotových vstupných premenných a dve výstupné premenné.

Logický obvod je schopný detekovať vlastné poruchy, pretože spĺňa podmienky vstupného vektora alebo pri poruche vlastného logického obvodu, nadobúdajú výstupné premenné rovnaké hodnoty a tým detekujú poruchu. V bezporuchovom stave sú tieto výstupné premenné navzájom inverzné.

Doteraz známe zapojenia obvodu pre samočinnú kontrolu kódu 1 z 10 sú tieto:

- a) S použitím samočinne kontrolovaného obvodu pre kód 3 z 6. Na vstup tohoto obvodu musí byť pripojený logický obvod pre prevod kódu 1 z 10 na kód 3 z 6. Počet vstupov všetkých logických členov príslušného obvodu je 62.
- b) Kaskádne zapojenie. Je použitý výstupný samotestovateľný logický obvod a kaskádne pripojený obvod. Počet logických úrovní je 6. Tento spôsob sa nazýva Meznev.
- c) Trojúrovňový samotestovateľný logický obvod kódu 1 z 10 podľa Izawu má 72 vstupov logických členov.

Nevýhody týchto troch riešení sú nasledujúce: Cena riešenia s použitím samočinne kontrolovaného obvodu pre kód 3 z 6 vyčíslená počtom vstupov všetkých logických členov, potrebných pre realizáciu príslušnej štruktúrnej schémy je 68 vstupov. Riešenie podľa kaskádneho zapojenia potrebuje 48 vstupov logických členov. Počet logických členov riešenia podľa kaskádneho zapojenia je 20. Počet logických úrovní je 6. Zariadenie podľa trojúrovňového samotestovateľného logického obvodu kódu 1 z 10 podľa Izawu potrebuje 72 vstupov.

V dôsledku veľkého počtu logických úrovní je oneskorenie u oboch prvých riešení veľké.

Vyššie uvedené nevýhody odstraňuje zapojenie podľa vynálezu, pozostávajúceho z troch logických úrovní, podstata ktorého spočíva v tom, že prvá vstupná svorka je pripojená na prvý vstup prvého súčtového logického člena a na druhý vstup piateho súčtového logického člena, druhá vstupná svorka je pripojená na druhý vstup prvého súčtového logického člena a na prvý vstup druhého súčtového logického člena, tretia vstupná svorka je pripojená na druhý vstup druhého súčtového logického člena a na prvý vstup tretieho súčtového logického člena, štvrtá vstupná svorka je pripojená na druhý vstup tretieho súčtového logického člena a na prvý vstup štvrtého súčtového logického člena, piata vstupná svorka je pripojená na druhý vstup štvrtého súčtového logického člena a na prvý vstup piateho súčtového logického člena, šiesta vstupná

svorka je pripojená na tretí vstup prvého súčtového logického člena a na štvrtý vstup tretieho súčtového logického člena, siedma vstupná svorka je pripojená na tretí vstup druhého súčtového logického člena a na tretí vstup štvrtého súčtového logického člena, ôsma vstupná svorka je pripojená na tretí vstup tretieho súčtového logického člena a na tretí vstup piateho súčtového logického člena, deväta vstupná svorka je pripojená na štvrtý vstup prvého súčtového logického člena a na štvrtý vstup štvrtého súčtového logického člena, desiatu vstupnú svorku je pripojená na štvrtý vstup druhého súčtového logického člena a na štvrtý vstup piateho súčtového logického člena, výstup prvého súčtového logického člena je pripojený na prvý vstup prvého súčtového logického člena, na prvý vstup piateho súčtového logického člena, na druhý vstup šiesteho súčtového logického člena a na druhý vstup deviateho súčtového logického člena, výstup druhého súčtového logického člena je pripojený na druhý vstup prvého súčtového logického člena, na prvý vstup druhého súčtového logického člena, na druhý vstup siedmeho súčtového logického člena a na druhý vstup desiateho súčtového logického člena, výstup tretieho súčtového logického člena je pripojený na druhý vstup druhého súčtového logického člena, na prvý vstup tretieho súčtového logického člena, na prvý vstup šiesteho súčtového logického člena a na prvý vstup ôsmeho súčtového logického člena, výstup štvrtého súčtového logického člena je pripojený na druhý vstup tretieho súčtového logického člena, na prvý vstup štvrtého súčtového logického člena, na prvý vstup siedmeho súčtového logického člena a na prvý vstup deviateho súčtového logického člena, výstup piateho súčtového logického člena je pripojený na druhý vstup štvrtého súčtového logického člena, na druhý vstup piateho súčtového logického člena, na druhý vstup ôsmeho súčtového logického člena a na prvý vstup desiateho súčtového logického člena, výstup prvého súčtového logického člena je pripojený na prvý vstup šiesteho súčtového logického člena, výstup druhého súčtového logického člena je pripojený na druhý vstup šiesteho súčtového logického člena, výstup tretieho súčtového logického člena je pripojený na piaty vstup šiesteho súčtového logického člena, vstup šiesteho súčtového logického člena je pripojený na štvrtý vstup šiesteho súčtového logického člena, výstup piateho súčtového logického člena je pripojený na piaty vstup šiesteho súčtového logického člena, vstup siedmeho súčtového logického člena je pripojený na prvý vstup siedmeho súčtového logického člena, výstup siedmeho súčtového logického člena je pripojený na druhý vstup siedmeho súčtového logického člena, výstup ôsmeho súčtového logického člena je pri-

pojený na tretí vstup siedmeho súčtového logického člena, výstup deviateho súčtinového logického člena je pripojený na štvrtý vstup siedmeho súčtového logického člena, výstup desiateho súčtinového logického člena je pripojený na piaty vstup siedmeho súčtového logického člena, výstup šiesteho súčtového logického člena je pripojený na prvú výstupnú svorku a výstup siedmeho súčtového logického člena je pripojený na druhú výstupnú svorku.

Zapojenie obvodu pre samočinnú kontrolu kódu 1 z 10 podľa vynálezu je oproti doteraz známym podobným zariadeniam výhodný preto, že vyžaduje iba 50 vstupov logických členov príslušnej štruktúrálnej schémy a vyžaduje iba 17 logických členov pre realizáciu logickej schémy a vyžaduje tri úrovne logickej schémy. V dôsledku toho sú pre realizáciu potrebné menšie náklady ako u doterajších riešení a obvod je rýchlejší. Okrem toho je predložené riešenie vhodnejšie pre implementáciu v programovateľnom logickom poli (PLA).

Na pripojenom výkrese je znázornené zapojenie obvodu pre samočinnú kontrolu kódu 1 z 10.

Obvod uvedený na príklade konkrétnej realizácie podľa vynálezu predstavuje realizáciu štruktúrálnej logickej schémy. Schéma je zostavená v prvej vstupnej svorky 1, druhej vstupnej svorky 2, tretej vstupnej svorky 3, štvrtej vstupnej svorky 4, piatej vstupnej svorky 5, šiestej vstupnej svorky 6, siedmej vstupnej svorky 7, ôsmej vstupnej svorky 8, deviatej vstupnej svorky 9, desiatej vstupnej svorky 10, prvého súčtového logického člena 11, druhého súčtového logického člena 12, tretieho súčtového logického člena 13, štvrtého súčtového logického člena 14, piateho súčtového logického člena 15, šiesteho súčtového logického člena 31, siedmeho súčtového logického člena 32, prvého súčtinového logického člena 21, druhého súčtinového logického člena 22, tretieho súčtinového logického člena 23, štvrtého súčtinového logického člena 24, piateho súčtinového logického člena 25, šiesteho súčtinového logického člena 26, siedmeho súčtinového logického člena 27, ôsmeho súčtinového logického člena 28, deviateho súčtinového logického člena 29, desiateho súčtinového logického člena 30, prvej výstupnej svorky 41 a druhej výstupnej svorky 42. Jednotlivé súčtové a súčtinové logické členy sú rozdelené do troch logických úrovní a to: prvá logická úroveň I, obsahujúca prvý až piaty súčtový logický člen 11 až 15, druhá logická úroveň II, obsahujúca prvý až desiaty súčtinový logický člen 21 až 30 a tretia logická úroveň III, obsahujúca šiesty a siedmy súčtový logický člen 31 a 32. Prvý až piaty súčtový logický člen 11 až 15 má štyri vstupy a jeden výstup. Šiesty a siedmy súčtový logický člen 31 a 32 má päť vstupov a jeden výstup. Prvý až desiaty súčtinový logický člen 21 až 30 má dva vstupy a jeden

výstup. Vstupy prvého súčtového logického člena 11 sú pripojené na prvú, druhú, šiestu a deviatu vstupnú svorku 1, 2, 6 a 9, jeho výstup je pripojený na vstup prvého, piateho, šiesteho a deviateho súčtinového logického člena 21, 25, 28 a 29. Vstupy druhého súčtového logického člena 12 sú pripojené na druhú, tretiu, siedmu a deviatu vstupnú svorku 2, 3, 7 a 10, jeho výstup je pripojený na vstup prvého, druhého, siedmeho a desiateho súčtinového logického člena 21, 22, 27 a 30. Vstupy tretieho súčtového logického člena 13 sú pripojené na tretiu, štvrtú, šiestu a ôsmu vstupnú svorku 3, 4, 6 a 8, jeho výstup je pripojený na vstup druhého, tretieho, šiesteho a ôsmeho súčtinového logického člena 22, 23, 26 a 28. Vstupy štvrtého súčtového logického člena 14 sú pripojené na štvrtú, piatu, siedmu a deviatu vstupnú svorku 4, 5, 7 a 9 a jeho výstup je pripojený na vstup tretieho, štvrtého, siedmeho a deviateho súčtinového logického člena 23, 24, 27 a 29. Vstupy piateho súčtového logického člena 15 sú pripojené na prvú, piatu, ôsmu a deviatu vstupnú svorku 1, 5, 8 a 10 o jeho výstup je pripojený na vstup štvrtého, piateho, ôsmeho a desiateho súčtinového logického člena 24, 25, 28 a 30. Na vstup šiesteho súčtového logického člena 31 sú pripojené výstupy prvého súčtinového logického člena 21, druhého súčtinového logického člena 22, tretieho súčtinového logického člena 23, štvrtého súčtinového logického člena 24 a piateho súčtinového logického člena 25. Na vstup siedmeho súčtového logického člena 32 sú pripojené výstupy šiesteho súčtinového logického člena 26, siedmeho súčtinového logického člena 27, ôsmeho súčtinového logického člena 28, deviateho súčtinového logického člena 29 a desiateho súčtinového logického člena 30.

Výstup šiesteho súčtového logického člena 31 je pripojený na prvú výstupnú svorku 41. Výstup siedmeho súčtového logického člena 32 je pripojený na druhú výstupnú svorku 42.

Zapojenie obvodu pre samočinnú kontrolu kódu 1 z 10 pracuje takto:

Ak sa na jeho vstupných svorkách 1, 2, 3, 4 až 10 nachádza kód 1 z 10, t. j. jedna jednička a ostatné nuly a samotný obvod pracuje bez poruchy, potom na výstupných svorkách 41 a 42 sú navzájom inverzné hodnoty 1, 0 alebo 0, 1. V prípade logickej poruchy typu t1, trvalá jednička, v logickej sieti zapojenia obvodu pre samočinnú kontrolu kódu 1 z 10 sa na výstupných svorkách 41, 42 musí objaviť kombinácia dvoch jedničiek 1, 1. V prípade trvalej poruchy typu t0, trvalá 0, musí byť na výstupných svorkách 41, 42 signál dvoch núl (0, 0). V prípade, že vstupný vektor na vstupných svorkách 1, 2, 3, 4 až 10 obsahuje viac ako jednu jedničku, musia byť na oboch výstupných svorkách 41, 42 jedničky 1, 1. Ak vstupný vektor na vstupných svorkách 1, 2, 3 až 10 pozostáva

va zo samých núl, potom na výstupných svorkách 41, 42 musia byť tiež nuly 0, 0.

Zapojenie podľa vynálezu možno použiť pri konštrukcii logických systémov s detekciou porúch, napr. pri kontrole správnosti chovania sa sekvenčného logického obvodu, ktorý pracuje s vnútorným kódom 1 z 10. Pri poruche budiaceho obvodu automatu alebo spätnej väzbe sa zmení počet jedničiek vnútorného stavu a zapojenie obvodu pre samočinnú kontrolu kódu 1 z 10 podľa vynálezu túto poruchu zistí.

Ďalej zapojenie podľa vynálezu možno po-

užiť pri návrhu častí počítačových systémov, ktoré pracujú spoľahlivo a bezpečne, ako napr. prevodníky kódov z nejakého kódu do kódu 1 z 10, registre, čítače, bezpečná a spoľahlivá kontrola výberu jednej z desiatich jednotiek, pripojených na desaťliniovú zbernicu, kontrola prenosu dát s kódom 1 z 10, návrh automatov fail safe, kontrola multiplexora pre 10 kanálov, kontrola výstupu elektronického zabezpečovacieho zariadenia s konzistentným vyznačením prvkov vstupného a výstupného refazca.

PREDMET VYNÁLEZU

Zapojenie obvodu pre samočinnú kontrolu kódu 1 z 10, pozostávajúci z desiatich vstupných svoriek, siedmych súčtových logických členov, desiatich súčinnových logických členov a dvoch výstupných svoriek, vyznačujúci sa tým, že prvá vstupná svorka (1) je pripojená na prvý vstup prvého súčtového logického člena (11) a na druhý vstup piateho súčtového logického člena (15), druhá vstupná svorka (2) je pripojená na druhý vstup prvého súčtového logického člena (11) a na prvý vstup druhého súčtového logického člena (12), tretia vstupná svorka (3) je pripojená na druhý vstup druhého súčtového logického člena (12) a na prvý vstup tretieho súčtového logického člena (13), štvrtá vstupná svorka (4) je pripojená na druhý vstup tretieho súčtového logického člena (13) a na prvý vstup štvrtého súčtového logického člena (14), piata vstupná svorka (5) je pripojená na druhý vstup štvrtého súčtového logického člena (14) a na prvý vstup piateho súčtového logického člena (15), šiesta vstupná svorka (6) je pripojená na tretí vstup prvého súčtového logického člena (11) a na štvrtý vstup tretieho súčtového logického člena (13), siedma vstupná svorka (7) je pripojená na tretí vstup druhého súčtového logického člena (12) a na tretí vstup štvrtého súčtového logického člena (14), ôsma vstupná svorka (8) je pripojená na tretí vstup tretieho súčtového logického člena (13) a na tretí vstup piateho súčtového logického člena (15), deviata vstupná svorka (9) je pripojená na štvrtý vstup prvého súčtového logického člena (11) a na štvrtý vstup štvrtého súčtového logického člena (14), desiatu vstupná svorka (10) je pripojená na štvrtý vstup druhého súčtového logického člena (12) a na štvrtý vstup piateho súčtového logického člena (15), výstup prvého súčtového logického člena (11) je pripojený na prvý vstup prvého súčinnového logického člena (21), na prvý vstup piateho súčinnového logického člena (25), na druhý vstup šiesteho súčinnového logického člena (26) a na druhý vstup deviateho súčinnového logického člena (29), výstup druhého súč-

tového logického člena (12) je pripojený na druhý vstup prvého súčinnového logického člena (21), na prvý vstup druhého súčinnového logického člena (22), na druhý vstup siedmeho súčinnového logického člena (27) a na druhý vstup desiateho súčinnového logického člena (30), výstup tretieho súčtového logického člena (13) je pripojený na druhý vstup druhého súčinnového logického člena (22), na prvý vstup tretieho súčinnového logického člena (23), na prvý vstup šiesteho súčinnového logického člena (26) a na prvý vstup ôsmeho súčinnového logického člena (28), výstup štvrtého súčtového logického člena (14) je pripojený na druhý vstup tretieho súčinnového logického člena (23), na prvý vstup štvrtého súčinnového logického člena (24), na prvý vstup siedmeho súčinnového logického člena (27) a na prvý vstup deviateho súčinnového logického člena (29), výstup piateho súčtového logického člena (15) je pripojený na druhý vstup štvrtého súčinnového logického člena (24), na druhý vstup piateho súčinnového logického člena (25), na druhý vstup ôsmeho súčinnového logického člena (28) a na prvý vstup desiateho súčinnového logického člena (30), výstup prvého súčinnového logického člena (21) je pripojený na prvý vstup šiesteho súčtového logického člena (31), výstup druhého súčinnového logického člena (22) je pripojený na druhý vstup šiesteho súčtového logického člena (31), výstup tretieho súčinnového logického člena (23) je pripojený na tretí vstup šiesteho súčtového logického člena (31), výstup štvrtého súčinnového logického člena (24) je pripojený na štvrtý vstup šiesteho súčtového logického člena (31), výstup piateho súčinnového logického člena (25) je pripojený na piaty vstup šiesteho súčtového logického člena (31), výstup šiesteho súčinnového logického člena (26) je pripojený na prvý vstup siedmeho súčtového logického člena (32), výstup siedmeho súčinnového logického člena (27) je pripojený na druhý vstup siedmeho súčtového logického člena (32), výstup ôsmeho súčinnového logického člena (28) je pripojený na

tretí vstup siedmeho súčtového logického člena (32), výstup deviateho súčinového logického člena (29) je pripojený na štvrtý vstup siedmeho súčtového logického člena (32), výstup desiateho súčinového logického člena (30) je pripojený na piaty vstup

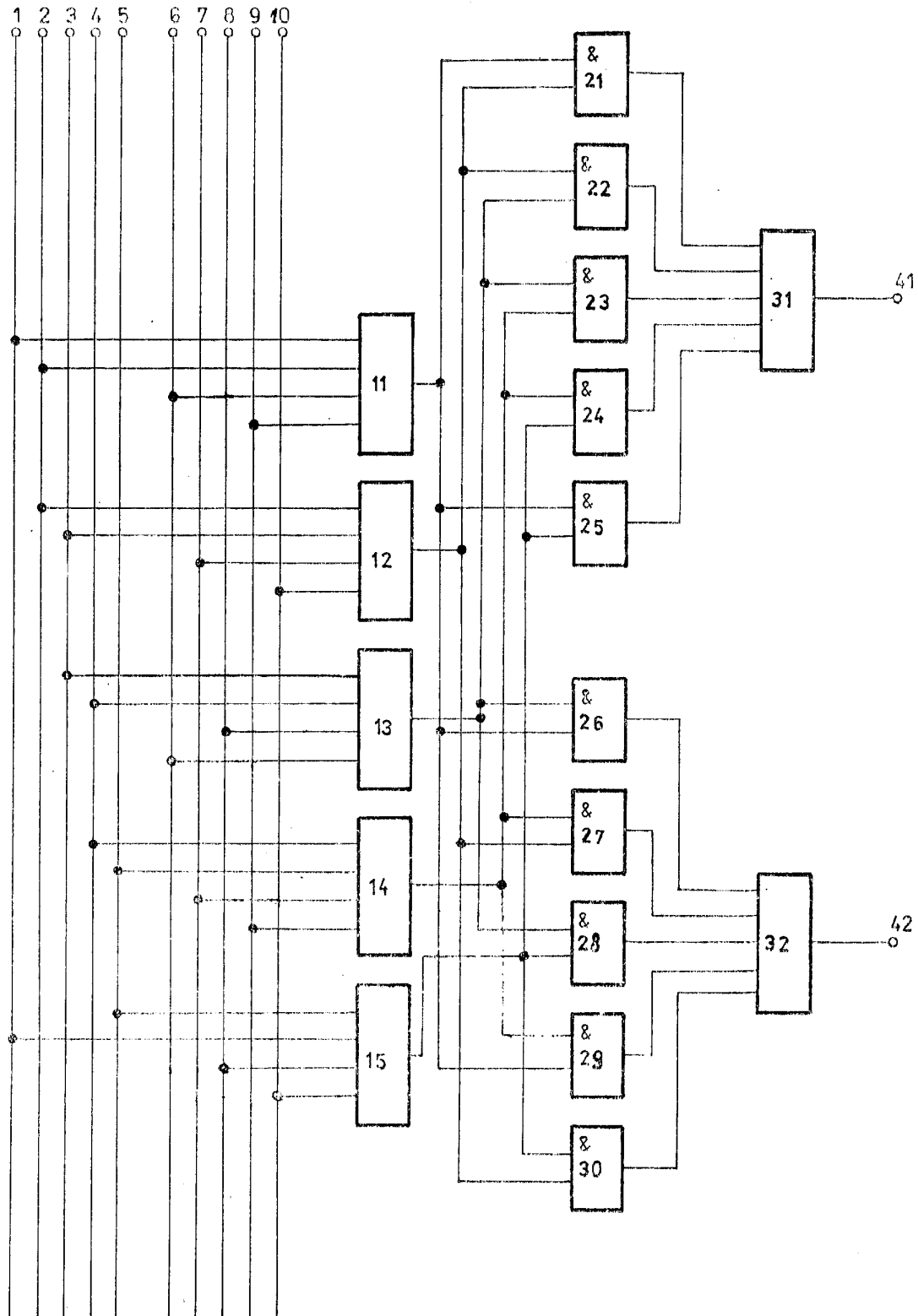
siedmeho súčtového logického člena (32), výstup šiesteho súčtového logického člena (31) je pripojený na prvú výstupnú svorku (41) a výstup siedmeho súčtového logického člena (32) je pripojený na druhú výstupnú svorku (42).

259276

I.

II.

III.



ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

260774

(11)

(B1)

[22] Prihlášené 17 04 86

[21] (PV 2809-86.K)

[40] Zverejnené 15 06 88

[45] Vydané 15 05 89

(51) Int. Cl.⁴

G 06 F 13/00

G 06 F 13/10

H 04 L 13/00

(75)

Autor vynálezu

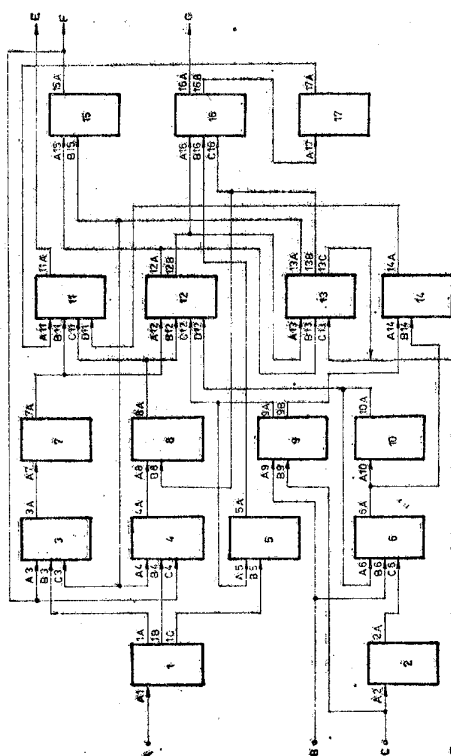
HLUŠEK JÁN ing., PATÚČ JAROSLAV ing., ŽILINA

[54] Zapojenie telegrafného adaptora pre počítačové systémy
so spoločnou zbernicou

1

Telegrafný adaptor pre počítačové systémy so spoločnou zbernicou umožňuje pripojiť tieto počítačové systémy k ďalekopisným ústredniám, čím sa poskytuje možnosť vytvárania vzájomných prepojení počítačov i pripojenie vzdialených ďalekopisných strojov k nim.

2



Vynález sa týka zapojenia telegrafného adaptora pre počítačové systémy so spoločnou zbernicou.

Doteraz počítačové systémy so spoločnou zbernicou neobsahovali žiadny telegrafný adaptor a teda nebolo ich možné priamo pripojiť na ďalekopisnú ústredňu.

Vyššie uvedený nedostatok odstraňuje zapojenie telegrafného adaptora pre počítačové systémy so spoločnou zbernicou, ktorého podstata spočíva v tom, že prvý výstup bloku povelového registra je pripojený na povelový vstup bloku pasívneho spojenia, zatiaľ čo druhý výstup bloku povelového registra je spojený s povelovým vstupom bloku aktívneho spojenia, ktorého druhý vstup je spojený s prvým vstupom bloku pasívneho spojenia a zároveň je spojený s kludovým výstupom registra stavu spojenia ako aj s výstupom indikácie stavu linky, pričom prvý vstup bloku aktívneho spojenia je spojený s druhým vstupom bloku pasívneho spojenia a zároveň je pripojený na druhý vstup registra stavu spojenia ako aj na polaritný výstup prevodníka telegrafného signálu, zatiaľ čo výstupy bloku pasívneho spojenia sú spojené so vstupmi registra stavu pasívneho spojenia, ktorého výstupy sú pripojené na druhý prerušovací vstup prerušovacej logiky ako aj na prvý riadiaci vstup bloku riadenia prevodníka telegrafného signálu, ktorého druhý riadiaci vstup je spojený s výstupmi registra stavu aktívneho spojenia a zároveň s tretím prerušovacím vstupom prerušovacej logiky, pričom prvý prerušovací vstup prerušovacej logiky je spojený s výstupom registra stavu príjmu dát a štvrtý prerušovací vstup prerušovacej logiky je spojený s výstupom registra stavu vysielania dát, ktorého prvý vstup je spojený s výstupom paralelno-sériového prevodníka, zatiaľ čo druhý vstup registra stavu vysielania dát je spojený s uvoľňovacím výstupom bloku čítača voľby ako aj s uvoľňovacím vstupom generátora impulzov voľby, ktorého výstup je spojený s druhým dátovým vstupom bloku riadenia prevodníka telegrafného signálu ako aj s hodinovým vstupom bloku čítača voľby, ktorého nastavovací vstup je spojený so štartovacím vstupom ako aj so strobovacím vstupom paralelno-sériového prevodníka, ktorého dátové vstupy sú spojené s dátovým vstupom ako aj s dátovým vstupom bloku dekodovania voľby, ktorého dekodované výstupy sú spojené s nastavovanými vstupmi bloku čítača voľby, zatiaľ čo tretí výstup povelového registra je spojený s povelovým vstupom bloku údržby, ktorého dátový vstup je spojený s dátovým výstupom paralelno-sériového prevodníka ako aj s prvým dátovým vstupom bloku riadenia prevodníka telegrafného signálu, ktorého aktívny výstup je spojený s prvým vstupom registra stavu spojenia ako aj s riadiacim vstupom prevodníka telegrafného signálu, ktorého dátový vstup je spojený s dátovým výstupom bloku riadenia prevodníka

telegrafného signálu ako aj s blokovacím vstupom sériovo-paralelného prevodníka, ktorého prvý dátový vstup je spojený s dátovým výstupom bloku údržby, zatiaľ čo dátový výstup prevodníka telegrafného signálu je spojený s druhým dátovým vstupom sériovo-paralelného prevodníka ako aj so vstupom voľby registra stavu aktívneho spojenia, ktorého vstupy sú spojené s výstupmi bloku aktívneho spojenia, pričom telegrafná linka je spojená s telegrafným vstupom prevodníka telegrafného signálu, ktorého telegrafný výstup je spojený s telegrafnou linkou, zatiaľ čo vstupy registra stavu príjmu dát sú spojené s výstupmi sériovo-paralelného prevodníka, ktorého dátový výstup je spojený s dátovým výstupom, pričom prerušovací výstup je spojený s výstupom žiadosti o prerušenie a vstup povelov je spojený so vstupom povelov povelového registra.

Zapojenie telegrafného adaptora pre počítačové systémy so spoločnou zbernicou je výhodné preto, lebo umožňuje priame pripojenie počítačových systémov so spoločnou zbernicou na ďalekopisnú ústredňu. Doposiaľ bola len možnosť prepojenia prostredníctvom diernej pásky medzilahlého ďalekopisného stroja a diernopáskového vstupu a výstupu počítačového systému so spoločnou zbernicou, čo si vyžadovalo navyše prítomnosť operátora.

Na priloženom výkrese je zobrazená celková blokovaná schéma telegrafného adaptora pre počítačové systémy so spoločnou zbernicou.

Zapojenie telegrafného adaptora pre počítačové systémy so spoločnou zbernicou je charakterizované tým, že povelový register 1 určuje na základe povelov prichádzajúcich cez vstup povelov A tri režimy činnosti.

Režim pasívneho spojenia začína zmenou polarity kludového stavu na telegrafnej linke D. Táto zmena sa prenáša cez telegrafný vstup C13 prevodníka 13 telegrafného signálu, ďalej cez polaritný výstup 13A prevodníka 13 telegrafného signálu na druhý vstup C3 bloku 3 pasívneho spojenia. Blok 3 pasívneho spojenia je pripojený výstupmi 3A na vstupy A7 registra 7 stavu pasívneho spojenia a nastaví výstupy 7A, ktoré sú pripojené na druhý vstup B11 prerušovacej logiky 11. Prerušovací výstup 11A prerušovacej logiky 11 cez výstupy žiadosti o prerušenie E požiadá počítačový systém o obsluhu žiadostí. Počítačový systém na základe stavu registra 7 stavu pasívneho spojenia cez vstup povelov A a vstup povelov A1 povelového registra 1 nastaví prvý výstup 1A, ktorý je pripojený na povelový vstup B3 bloku 3 pasívneho spojenia. Blok 3 pasívneho spojenia nastaví cez svoje výstupy 3A a vstupy A7 registra 7 stavu pasívneho spojenia príslušné výstupy 7A, ktoré sú pripojené na prvý riadiaci vstup A12 bloku 12 riadenia prevodníka telegrafného signálu, ktorého

aktívny výstup **12A** zabezpečí cez riadiaci vstup **B13** prevodníka **13** telegrafného signálu zvýšenie prúdu telegrafnej linky **D**. Tým je spojenie účastníkov zabezpečené.

Ukončenie pasívneho spojenia môže byť z podnetu vlastného počítačového systému alebo protiahlého účastníka. Zrušenie spojenia vykoná počítačový systém cez vstup povelov **A**, a to zhodením prvého výstupu **1A** povelového registra **1**. Zmenia sa tým výstupy **7A** registra **7** stavu pasívneho spojenia. Táto zmena prevedie do neaktívneho stavu aktívny výstup **12A** a do aktívneho stavu počas definovanej doby dátový výstup **12B** bloku **12** riadenia prevodníka telegrafného signálu, ktorého dátový výstup **12B** je pripojený na dátový vstup **A13** prevodníka **13** telegrafného signálu. Po prerušení prúdu telegrafnej linky **D**, ústredňa zmení polaritu prúdu. Toto indikuje polaritný výstup **13A** prevodníka **13** telegrafného signálu, ktorý je pripojený na druhý vstup **B15** registra **15** stavu spojenia, ktorého kludový výstup **15A** indikuje klud na telegrafnej linke **D** cez výstup indikácie stavu linky **F**.

Zrušenie pasívneho spojenia vykoná protiahlý účastník tým, že zmení polaritu prúdu telegrafnej linky **D**. Polaritný výstup **13A** prevodníka **13** telegrafného signálu je pripojený na druhý vstup **C3** bloku **3** pasívneho spojenia, ktorého výstupy **3A** nastaví výstupy **7A** registra **7** stavu pasívneho spojenia. Toto spôsobí zaktivovanie výstupu žiadosti o prerušenie **E** a prevedenie aktívneho výstupu **12A** bloku **12** riadenia prevodníka telegrafného signálu do neaktívneho stavu. Výstup indikácie stavu linky **F** potom indikuje kludový stav telegrafnej linky **D**. Počítačový systém vykoná obsluhu žiadosti o prerušenie a cez vstup povelov **A** ukončí aktívny stav na prvom výstupe **1A** povelového registra **1**. Kludový stav na prvom vstupe **A3** bloku **3** pasívneho spojenia a neaktívny stav na povelovom vstupe **B3** ukončia pasívne spojenie a obvody pasívneho spojenia sa dostanú do základného stavu.

Režim aktívneho spojenia začína počítačový systém pod podmienkou kludového stavu na výstupe indikácie stavu linky **F**. Cez vstup povelov **A1** povelového registra **1** nastaví druhý výstup **1B**, ktorý je pripojený na povelový vstup **B4** bloku **4** aktívneho spojenia. Blok **4** aktívneho spojenia nastaví cez svoje výstupy **4A** a vstupy **A8** registra **8** stavu aktívneho spojenia výstupy **8A**, ktoré sú pripojené na druhý riadiaci vstup **B12** bloku **12** riadenia prevodníka telegrafného signálu, ktorého aktívny výstup **12A** zabezpečí cez riadiaci vstup **B13** prevodníka **13** telegrafného signálu zvýšenie prúdu telegrafnej linky **D**. Ústredňa na definovanú dobu preruší prúd telegrafnou linkou **D**. Počas tejto doby sa zmení stav na dátovom výstupe **13B** prevodníka **13** telegrafného signálu, ktorý je pripojený jednak na vstup voľby **B8** registra **8** stavu aktívneho spojenia, v ktorom sa nastaví výstupy **8A**, ktoré sú pripojené

na druhý riadiaci vstup **B12** bloku **12** riadenia prevodníka telegrafného signálu, kde prepne druhý dátový vstup **D12** na dátový výstup **12B** a je pripojený na tretí prerušovací vstup **C11** prerušovacej logiky **11**, ktorá zabezpečí prerušenie počítačového systému cez výstup žiadosti o prerušenie **E**. Počítačový systém na základe stavu registra **8** stavu aktívneho spojenia vyšle cez dátový vstup **C** prvý znak zakódovanej voľby, ktorý sa v rozdekódovanej forme objaví na dekódovaných výstupoch **2A** bloku **2** dekódovania voľby, ktoré sú pripojené na nastavované vstupy **C6** bloku **6** čítača voľby a do ktorého sa zapamätujú ako číslo počtu impulzov voľby v čase príchodu signálu na nastavovací vstup **B6** zo štartovacieho vstupu **B**. Uvoľňovací výstup **6A** bloku **6** čítača voľby uvoľní cez uvoľňovací vstup **A10** generátor **10** impulzov voľby, ktorý začne generovať na svojom výstupe **10A** impulzy, ktoré sa vedú jednak na hodinový vstup **A6** čítača voľby **6**, jednak na druhý dátový vstup **D12** bloku **12** riadenia prevodníka telegrafného signálu a z jeho dátového výstupu **12B** sa dostávajú na dátový vstup **A13** prevodníka **13** telegrafného signálu, ktorého telegrafný výstup **13C** prerušuje prúd telegrafnou linkou **D**. Po príchode počtu impulzov na hodinový vstup **A6** bloku **6** čítača voľby zodpovedajúci zapamätanému číslu počtu impulzov voľby v bloku **6** čítača voľby, vykoná sa cez uvoľňovací výstup **6A** zablokovanie generátora **10** impulzov voľby cez jeho uvoľňovací vstup **A10** a cez druhý vstup **B14** registra **14** stavu vysielania dát nastavenie jeho výstupu **14A**, ktorý je pripojený na štvrtý prerušovací vstup **D11** prerušovacej logiky **11**, ktorá cez výstup žiadosti o prerušenie **E** požiadala počítačový systém o vyslanie ďalšieho znaku čísla voľby cez dátový vstup **G**. Dej sa opakuje a po vyslaní všetkých čísl voľby, ústredňa zmení polaritu prúdu telegrafnou linkou **D**. Nastane zmena stavu polaritného výstupu **13A** prevodníka **13** telegrafného signálu, ktorý je pripojený na prvý vstup **A4** bloku **4** aktívneho spojenia, ktorého výstupy **4A** nastaví výstupy **8A** registra **8** stavu aktívneho spojenia tak, že sa bude prepájať prvý dátový vstup **C12** na dátový výstup **12B** bloku **12** riadenia prevodníka telegrafného signálu. Súčasne cez tretí prerušovací vstup **C11** prerušovacej logiky **11** sa požiadala o obsluhu vysielania dát počítačový systém.

Počas voľby pri obsadení účastníka ústredňa predčasne zmení polaritu prúdu telegrafnou linkou **D** a po definovanej dobe polaritu prúdu opäť zmení na pôvodnú. Blok **4** aktívneho spojenia rozpozná tento stav na svojom prvom vstupe **A4** a príslušne nastaví výstupy **8A** registra **8** stavu aktívneho spojenia. Aktívny výstup **12A** bloku **12** riadenia prevodníka telegrafného signálu sa stane neaktívny a kludový výstup **15A** registra **15** stavu spojenia potom indikuje klud na tele-

grafnej linke **D**. Cez tretí prerušovací vstup **C11** prerušovacej logiky **11** sa aktivuje prerušovacia logika **11**. Počítačový systém na základe informácie o stave obsadenia účastníka získanej z registra **8** stavu aktívneho spojenia prevedie do neaktívneho stavu druhý výstup **1B** povelového registra **1**, čím je proces aktívneho spájovania zrušený.

Ukončenie aktívneho spojenia môže byť z podnetu vlastného počítačového systému alebo protifahľého účastníka. Zrušenie spojenia vykoná počítačový systém cez povelové vstupy **A**, a to zhodením druhého výstupu **1B** povelového registra **1**. Zmenia sa tým výstupy **8A** registra **8** stavu aktívneho spojenia. Tieto zmeny prevedú do neaktívneho stavu aktívny výstup **12A** a do aktívneho stavu počas definovanej doby dátový výstup **12B** bloku **12** riadenia prevodníka telegrafného signálu, ktorého dátový výstup **12B** je pripojený na dátový vstup **A13** prevodníka **13** telegrafného signálu. Po prerušení prúdu telegrafnou linkou **D** ústredňa zmení polaritu prúdu. Toto indikuje polaritný výstup **13A** prevodníka **13** telegrafného signálu, ktorý je pripojený na druhý vstup **B15** registra **15** stavu spojenia, ktorého kľudový výstup **15A** indikuje kľud na telegrafnej linke **D** cez výstup indikácie stavu linky **F**.

Zrušenie aktívneho spojenia vykoná protifahľý účastník tým, že ústredňa zmení polaritu prúdu telegrafnej linky **D**. Polaritný výstup **13A** prevodníka **13** telegrafného signálu je pripojený na prvý vstup **A4** bloku **4** aktívneho spojenia, ktorého výstup **4A** nastaví výstupy **8A** registra **8** stavu aktívneho spojenia. To spôsobí zaktivovanie výstupu žiadosti o prerušenie **E** a prevedenie aktívneho výstupu **12A** bloku **12** riadenia prevodníka telegrafného signálu do neaktívneho stavu. Výstup indikácie stavu linky **F** potom indikuje kľudový stav telegrafnej linky **D**. Počítačový systém vykoná obsluhu žiadosti o prerušenie a cez vstup povelov **A** ukončí aktívny stav na druhom výstupe **1B** povelového registra **1**. Kľudový stav na druhom vstupe **C4** bloku **4** aktívneho spojenia a neaktívny stav na povelovom vstupe **B4** ukončí aktívne spojenie a obvody aktívneho spojenia sa dostanú do základného stavu.

Prenos dát medzi účastníkmi po úspešnom nadviazaní spojenia sa uskutoční po telegrafnej linke **D**. Znaky dát posielajú počítačový systém cez dátový vstup **C** na dátové vstupy **B9** paralelno-sériového prevodníka **9**, do ktorého sa zapamätávajú v čase impulzu na strobovacom vstupe **A9**. Sériový prúd dát prichádza z dátového výstupu **9A** na prvý

dátový vstup **C12** bloku **12** riadenia prevodníka telegrafného signálu a odtiaľ na jeho dátový výstup **12B**, ktorý je pripojený na blokovací vstup **A18** sériovo-paralelného prevodníka **16**, kde blokuje príjem vlastných dát a ďalej je pripojený na dátový vstup **A13** prevodníka **13** telegrafného signálu. Prevodník **13** telegrafného signálu na svojom telegrafnom výstupe **13C** potom prerušuje prúd telegrafnej linky **D** v rytme sériového prúdu dát. Po prenose každého znaku dát sa nastavuje výstup **9B** paralelno-sériového prevodníka **9**, ktorý je pripojený na prvý vstup **A14** registra **14** stavu vysielania dát, ktorého výstup **14A** je pripojený na štvrtý prerušovací vstup **D11** prerušovacej logiky **11**. Na základe prerušenia môže počítačový systém vyslať cez dátový vstup **C** ďalší dátový znak.

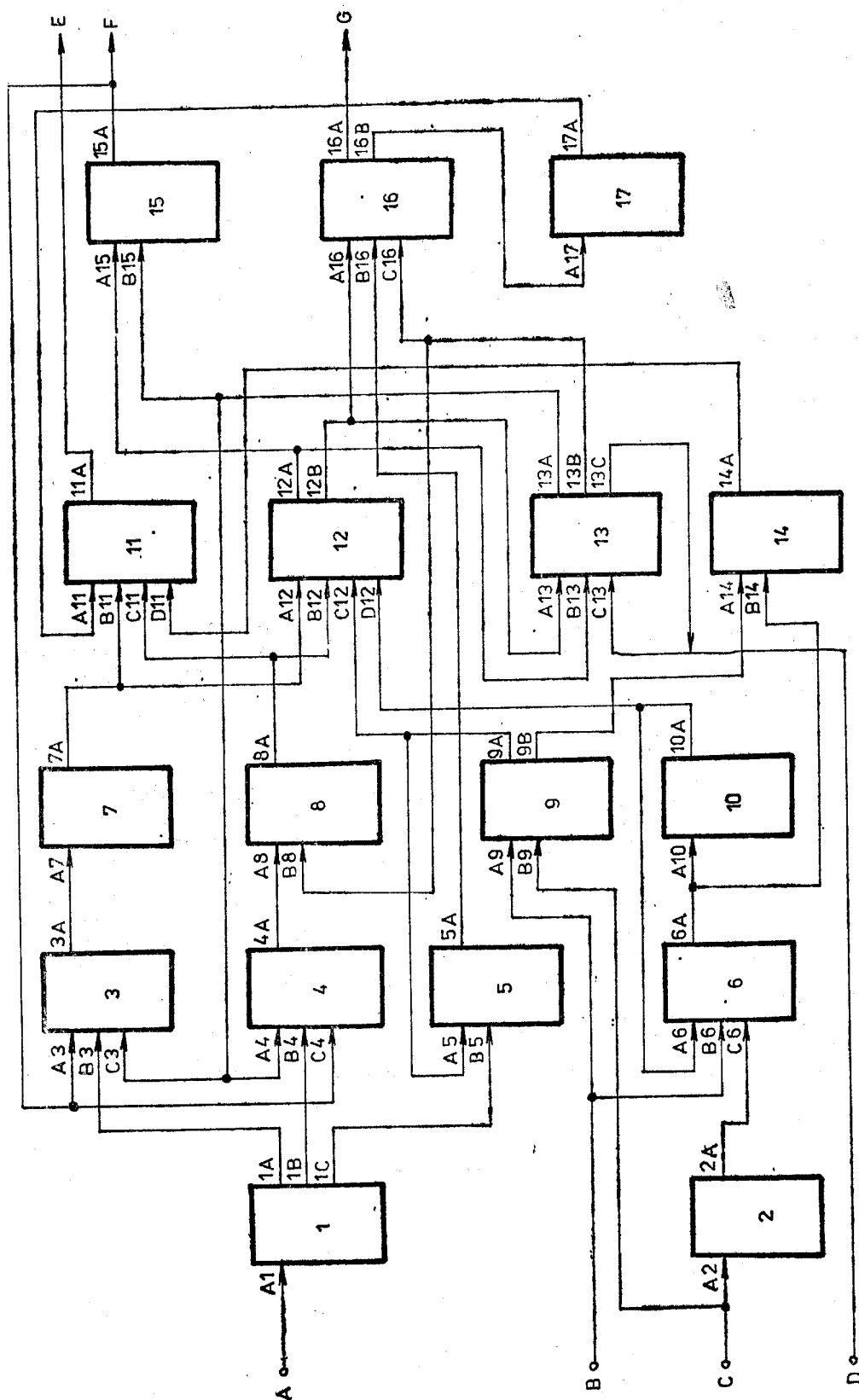
Protifahľý účastník vysielá dátový znak vo forme prerušovania prúdu telegrafnej linky **D** na telegrafný vstup **C13** prevodníka **13** telegrafného signálu, ktorého dátový výstup **13B** je pripojený na druhý dátový vstup **C18** sériovo-paralelného prevodníka **16**. Po prijímaní celého dátového znaku sa nastaví výstup **16B** sériovo-paralelného prevodníka **16**, ktoré sú pripojené na vstupy **A17** registra **17** stavu príjmu dát, ktorého výstup **17A** je pripojený na prvý prerušovací vstup **A11** prerušovacej logiky **11**. Na základe prerušenia počítačový systém prečíta dátový znak z dátového výstupu **16A**.

Režim údržby vykonáva počítačový systém v rámci diagnostiky, a to nastavením tretieho výstupu **1C** povelového registra **1**, ktorý je pripojený na povelový vstup **B5** bloku **5** údržby. Znaky dát posielajú počítačový systém cez dátový vstup **C** na dátové vstupy **B9** paralelno-sériového prevodníka **9**, do ktorého sa zapamätávajú v čase impulzu na strobovacom vstupe **A9**. Sériový prúd dát prichádza z dátového výstupu **9A** na dátový vstup **A5** bloku údržby **5** a odtiaľ na jeho dátový výstup **5A**, ktorý je pripojený na prvý dátový vstup **B16** sériovo-paralelného prevodníka **16**. Po prenose každého znaku dát sa nastavuje výstup **9B** paralelno-sériového prevodníka **9**, ktorý je pripojený na prvý vstup **A14** registra **14** stavu vysielania dát, ktorého výstup **14A** je pripojený na štvrtý prerušovací vstup **D11** prerušovacej logiky **11**. Na základe prerušenia môže počítačový systém vyslať cez dátový vstup **C** ďalší dátový znak. Po prijímaní celého dátového znaku sa príslušne nastaví výstup **16B** sériovo-paralelného prevodníka **16**, ktoré sú pripojené na vstupy **A17** registra **17** stavu príjmu dát, ktorého výstup **17A** je pripojený na prvý prerušovací vstup **A11** prerušovacej logiky **11**.

PREDMET VYNÁLEZU

Zapojenie telegrafného adaptora pre počítačové systémy so spoločnou zbernicou, vyznačujúce sa tým, že prvý výstup (1A) bloku (1) povelového registra je pripojený na povelový vstup (B3) bloku (3) pasívneho spojenia, zatiaľ čo druhý výstup (1B) bloku (1) povelového registra je spojený s povelovým vstupom (B4) bloku (4) aktívneho spojenia, ktorého druhý vstup (C4) je spojený s prvým vstupom (A3) bloku (3) pasívneho spojenia a zároveň je spojený s kľudovým výstupom (15A) registra (15) stavu spojenia ako aj s výstupom indikácie stavu linky (F), pričom prvý vstup (A4) bloku (4) aktívneho spojenia je spojený s druhým vstupom (C3) bloku (3) pasívneho spojenia a zároveň je pripojený na druhý vstup (B15) registra (15) stavu spojenia ako aj na polaritný výstup (13A) prevodníka (13) telegrafného signálu, zatiaľ čo výstupy (3A) bloku (3) pasívneho spojenia sú spojené so vstupmi (A7) registra (7) stavu pasívneho spojenia, ktorého výstupy (7A) sú pripojené na druhý prerušovací vstup (B11) prerušovacej logiky (11) ako aj na prvý riadiaci vstup (A12) bloku (12) riadenia prevodníka telegrafného signálu, ktorého druhý riadiaci vstup (B12) je spojený s výstupmi (8A) registra (8) stavu aktívneho spojenia a zároveň s tretím prerušovacím vstupom (C11) prerušovacej logiky (11), pričom prvý prerušovací vstup (A11) prerušovacej logiky (11) je spojený s výstupom (17A) registra (17) stavu príjmu dát a štvrtý prerušovací vstup (D11) prerušovacej logiky (11) je spojený s výstupom (14A) registra (14) stavu vysielania dát, ktorého prvý vstup (A14) je spojený s výstupom (9B) paralelno-sériového prevodníka (9), zatiaľ čo druhý vstup (B14) registra (14) stavu vysielania dát je spojený s uvoľňovacím výstupom (6A) bloku (6) čítača voľby ako aj s uvoľňovacím vstupom (A10) generátora (10) impulzov voľby, ktorého výstup (10A) je spojený s druhým dátovým vstupom (D12) bloku (12) riadenia prevodníka telegrafného signálu ako aj s hodinovým vstupom (A6) bloku (6)

čítača voľby, ktorého nastavovací vstup (B6) je spojený so štartovacím vstupom (B) ako aj so strobovacím vstupom (A9) paralelno-sériového prevodníka (9), ktorého dátové vstupy (B9) sú spojené s dátovým vstupom (C) ako aj s dátovým vstupom (A2) bloku (2) dekódovania voľby, ktorého dekódované výstupy (2A) sú spojené s nastavovacími vstupmi (C6) bloku (6) čítača voľby, zatiaľ čo tretí výstup (1C) povelového registra (1) je spojený s povelovým vstupom (B5) bloku (5) údržby, ktorého dátový vstup (A5) je spojený s dátovým výstupom (9A) paralelno-sériového prevodníka (9) ako aj s prvým dátovým vstupom (C12) bloku (12) riadenia prevodníka telegrafného signálu, ktorého aktívny výstup (12A) je spojený s prvým vstupom (A15) registra (15) stavu spojenia ako aj s riadiacim vstupom (B13) prevodníka (13) telegrafného signálu, ktorého dátový vstup (A13) je spojený s dátovým výstupom (12B) bloku (12) riadenia prevodníka telegrafného signálu ako aj s blokovacím vstupom (A16) sériovo-paralelného prevodníka (16), ktorého prvý dátový vstup (B16) je spojený s dátovým výstupom (5A) bloku (5) údržby, zatiaľ čo dátový výstup (13B) prevodníka (13) telegrafného signálu je spojený s druhým dátovým vstupom (C16) sériovo-paralelného prevodníka (16) ako aj so vstupom voľby (B3) registra (8) stavu aktívneho spojenia, ktorého vstupy (A8) sú spojené s výstupmi (4A) bloku (4) aktívneho spojenia, pričom telegrafná linka (D) je spojená s telegrafným vstupom (C13) prevodníka (13) telegrafného signálu, ktorého telegrafný výstup (13C) je spojený s telegrafnou linkou (D), zatiaľ čo vstupy (A17) registra (17) stavu príjmu dát sú spojené s výstupmi (16B) sériovo-paralelného prevodníka (16), ktorého dátový výstup (16A) je spojený s dátovým výstupom (G), pričom prerušovací výstup (11A) je spojený s výstupom žiadosti o prerušenie (E) a vstup povelov (A) je spojený so vstupom povelov (A1) povelového registra (1).





POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

260780
(11) (B1)

(51) Int. Cl.⁴
H 03 B 28/00

(22) Prihlášené 23 05 86

(21) (PV 3787-86.F)

(40) Zverejnené 15 06 88

(45) Vydané 15 05 89

(75)

Autor vynálezu

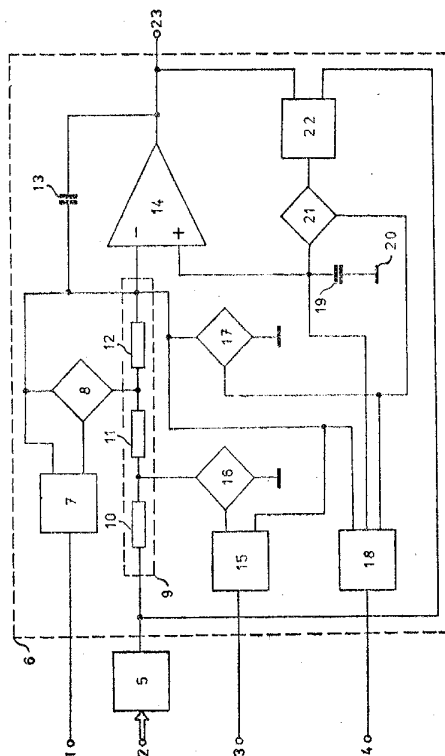
JANIČINA MILAN ing., ŽILINA

(54) Generátor zložky napätia pre vytvorenie vektorov a bodov
na zariadeniach zobrazujúcich v pravouhlej súradnicovej sústave

1

Generátor zložky napätia je určený na budenie vychyľovacieho zosilňovača pre jednu z osí pri zobrazovaní v pravouhlej sústave. Rieši problém zväčšenia počtu skupín pri generovaní vektorov integračnou metódou s konštantným časom. Podstata zapojenia spočíva v tom, že integračný odpor je rozdelený minimálne na tri časti, pričom k jeho poslednej časti, ktorej hodnota je rovná jednej štvrtine jeho celkovej hodnoty a cez ktorú je invertujúci vstup zosilňovača spojený len s koncom jeho predchádzajúcej časti, je paralelne pripojený spínač, pričom jeho riadiaci vstup je spojený s druhým výstupom budiacich a kompenzačných obvodov, ktorých prvý výstup je spojený s invertujúcim vstupom zosilňovača a ich vstup je spojený s prvým vstupom zapojenia generátora, na ktorý je privedený číslicový signál určujúci skupiny vektorov. Generátor môže byť využitý i ako samostatný zdroj píllovitého napätia, prípadne v generátoroch funkcií.

2



Vynález rieši generátor zložky napätia pre vytvorenie vektorov a bodov na zariadeniach zobrazujúcich v pravouhlej súradnicovej sústave, určený na budenie vychylovacieho zosilňovača pre jednu z osí zobrazenia, napríklad grafických vektorových monitorov alebo súradnicových zapisovačov, pričom vektory sú zobrazované integračnou metódou s konštantným časom a sú rozdelené do skupín, ktorým zodpovedajú rôzne časy tak, že rýchlosť kreslenia na hraničiach skupín je konštantná, rovná maximálnej hodnote, obsahujúci číslicové vstupy zapojené na zdroj dát, napríklad grafický procesor alebo riadiacu jednotku a analógový výstup.

Pre zobrazenie vektorov a bodov v pravouhlej súradnicovej sústave je potrebné na základe inštrukcií a číslicových dát zodpovedajúcich súradniciam bodov, resp. prírastkom súradníc vektorov, generovať zložky analógového napätia, ktoré prostredníctvom vychylovacích zosilňovačov pre osi X a Y posúvajú elektrónový lúč po tienitku obrazovky alebo písátka po papieri pri plošnom zapisovači. Aby sa neodlišovali zobrazené vektory rôznej dĺžky a smeru, hlavne rôznou intenzitou čiar pri zobrazení na obrazovkových zariadeniach, je potrebné, aby ich rýchlosť kreslenia bola konštantná, alebo je nutné prevádzka korekciu jasů.

V praxi sa dodržanie podmienky konštantnej rýchlosti obtiažne realizuje, hlavne preto sa najčastejšie pri analógovom spôsobe generovania používajú riešenia, pri ktorých sú vektory zobrazované konštantnou rýchlosťou v smere väčšej zložky alebo sú zobrazované konštantným časom. Pri kreslení konštantnou rýchlosťou v smere väčšej zložky sa používajú zvlášť obvody pre generovanie pozícií a zvlášť obvody pre generovanie pílovitého napätia.

Pílovité napätia môžu byť generované integračnou metódou v integrátoroch alebo priamo vo vychylovacích cievkach, pričom sa vyžaduje podiel zložiek, alebo násobiacimi prevodníkmi. Dĺžka vektorov je vymedzená časove alebo analógovými komparátormi. Nevýhodou tohto kreslenia s kvázikonštantnou rýchlosťou je okrem potreby podielu zložiek, realizovaného číslicovým alebo analógovým spôsobom, potreba minimálne štyroch číslicovo-analógových prevodníkov, prípadne kombinácia niekoľkých číslicovo-analógových a násobiacich prevodníkov, pričom pri prepínaní z generovania pílovitého na pozičné napätie môže dochádzať k nežiadúcim prekmitom výsledného napätia, ďalej je to potreba prepínačov polarít pílovitého napätia, prípadne i prepínačov zložiek napätí na jednotlivé osi, ak sa väčšia zo zložiek spracúva vždy v tých istých obvodoch a ďalej potreba rýchlych a presných úrovňových komparátorov.

Pri kreslení konštantným časom sa používa precízny spôsob využívajúci metódu α , $1-\alpha$, ktorej nevýhodou je potreba minimálne

štyroch číslicovo-analógových prevodníkov a obvodov korekcie jasů, alebo tiež integračná metóda. Pri nej sú vektory v závislosti od dĺžok, resp. od dĺžok zložiek rozdelené do skupín, ktorým zodpovedajú rôzne časy tak, aby rýchlosť kreslenia na hraničiach skupín bola konštantná, rovná maximálnej. Časy v jednotlivých skupinách a počet skupín je volený tak, aby zmena rýchlosti kreslenia v skupinách bola minimálna, skupiny boli ľahko realizovateľné a tiež na tom, či sa použije korekcia jasů zobrazovanej informácie.

Skupiny je možné realizovať v analógovej časti prepínaním prvkov tvoriacich časovú konštantu integrátora a dĺžka vektorov je vymedzovaná analógovými komparátormi alebo časove. Pri vytváraní väčšieho počtu skupín však narastá počet prvkov a komplikuje sa nastavovanie a dodržanie parametrov. Vzhľadom k jednoduchému rozlíšeniu prírastkov súradníc zložiek vektorov postupne rozdelených na polovice z maximálnej dĺžky a posuny týchto prírastkov v číslicovom tvare je takéto tvorenie skupín spojené s časovým vymedzením dĺžky vektorov najčastejšie. Nevýhodou tohto spôsobu generovania vektorov je menšie množstvo zobrazenej informácie ako pri kreslení kvázikonštantnou rýchlosťou a vzhľadom k veľkej zmene rýchlosti kreslenia v skupine tiež potrebné obvody korekcie jasů zobrazovanej informácie.

Podstata zapojenia generátora zložky napätia pre vytvorenie vektorov a bodov na zariadeniach zobrazujúcich v pravouhlej súradnicovej sústave spočíva v tom, že integračný odpor je rozdelený minimálne na tri časti, pričom k jeho poslednej časti, cez ktorú je invertujúci vstup zosilňovača spojený s koncom jeho predchádzajúcej časti, je paralelne pripojený prvý spínač, pričom jeho riadiaci vstup je spojený s druhým výstupom budiacich a kompenzačných obvodov, ktorých prvý výstup je spojený so vstupom zapojenia generátora.

Výhody uvedeného zapojenia generátora zložky napätia pre vytvorenie vektorov a bodov na zariadeniach zobrazujúcich v pravouhlej zobrazovacej sústave okrem toho, že používa minimálne možný počet číslicovo-analógových prevodníkov, neobsahuje obvody zvlášť pre generovanie pozícií a pre generovanie pílovitého napätia, čím odpadá možnosť vzniku prekmitu výstupného napätia pri ich striedaní, nepoužíva analógový prepínač na zmenu polarít napätia pri zmene smeru generovania vektora, v bodovom režime kompenzuje chyby integrovania a časovania, takže nedochádza k ich postupnej kumulácii a tým k nepresnosti a s využitím režimu pamätania môže pracovať ako vzorkovač, takže gliče z číslicovo-analógového prevodníka sa neobjaví na výstupnej svorke generátora sú v tom, že rozdelenie každej existujúcej skupiny na dve

polovice je vytvorený jednoduchým spôsobom v analógovej časti, dvojnásobným zväčšením počtu skupín dochádza k zmenšeniu pomeru maximálnej a minimálnej rýchlosti kreslenia vektorov v skupinách z 2,83:1 na 1,89:1, takže dochádza k menším poklesom voči maximálnej rýchlosti, čím sa lepšie využíva rýchlosť vychyľovacích zosilňovačov, zväčšuje sa množstvo zobraziteľnej informácie a odpadá jasná korekcia.

Príklad konkrétneho zapojenia generátora zložky napätia pre vytvorenie vektorov a bodov na zariadeniach zobrazujúcich v pravouhlej sústave podľa vynálezu je uvedený na pripojenom výkrese.

Generátor zložky napätia pre vytvorenie vektorov a bodov na zariadeniach zobrazujúcich v pravouhlej súradnicovej sústave v konkrétnom prevedení podľa vynálezu obsahuje číslicové vstupy 1 až 4, číslicovo-analógový prevodník 5, viacfunkčný integrátor 6 a analógový výstup 23. Viacfunkčný integrátor 6 obsahuje zosilňovač 14 s invertujúcim a neinvertujúcim vstupom a výstupom, delený integračný odpor 9, ktorého časti 10, 11, 12 sú sériovo spojené, integračný kondenzátor 13, druhý kondenzátor 19, spínače 8, 16, 17, 21 so vstupom, výstupom a riadiacim vstupom s príslušnými budiacimi a kompenzačnými obvodmi 7, 15, 18, invertujúci sumačný zosilovač 22 s dvoma vstupnými a výstupnou svorkou a zemia svorkou 20.

Na invertujúci vstup zosilňovača 14, ktorý je spojený cez tretí spínač 17 so zemnou svorkou 20 je cez delený integračný odpor 9 zapojený výstup číslicovo-analógového prevodníka 5, ďalej cez integračný kondenzátor 13 jeho výstup, ďalej druhý výstup druhých 15 a prvý výstup tretích budiacich a kompenzačných obvodov 18. Na neinvertujúci vstup zosilňovača 14, ktorý je spojený cez druhý kondenzátor 13 so zemnou svorkou 20 sú pripojené druhý výstup tretích budiacich a kompenzačných obvodov 18 a cez štvrtý spínač 21 výstup invertujúceho sumačného zosilňovača 22, ktorého prvý vstup je pripojený na výstup zosilňovača 14 spojený s analógovým výstupom 23 generátora, zatiaľ čo jeho druhý vstup je spojený s výstupom číslicovo-analógového prevodníka 5 spojeného so začiatkom prvej časti 10 deleného integračného odporu 9.

Vstup číslicovo-analógového prevodníka 5 je spojený s druhým vstupom 2 zapojenia generátora. Koniec prvej časti 10 spojený so začiatkom nasledujúcej časti 11 deleného integračného odporu 9 sú spojené cez druhý spínač 16 so zemnou svorkou 20, pričom jeho riadiaci vstup je spojený s prvým výstupom druhých budiacich a kompenzačných obvodov 15, ktorých vstup je spojený s tretím vstupom 3 zapojenia generátora. Riadiace vstupy tretieho 17 a štvrtého spínača 21 sú spojené s tretím výstupom tretích budiacich a kompenzačných obvodov

18, ktorých vstup je spojený so štvrtým vstupom 4 zapojenia generátora.

K poslednej časti 12 deleného integračného odporu 9, ktorej jeden koniec je spojený s invertujúcim vstupom zosilňovača 14 je paralelne pripojený prvý spínač 8, pričom jeho riadiaci vstup je spojený s druhým výstupom prvých budiacich a kompenzačných obvodov 7, ktorých prvý výstup je spojený s invertujúcim vstupom zosilňovača 14 a ich vstup je spojený s prvým vstupom 1 zapojenia generátora.

Funkcia generátora je nasledovná. Číslkové signály zodpovedajúce zobrazovaným zložkám vektorov alebo bodov privádzané na druhý vstup 2 generátora sú číslicovo-analógovým prevodníkom 5 prevádzané na impulzné napätie. V závislosti od číslicového signálu privedeného na štvrtý vstup 4 generátora, ktorý určuje režim viacfunkčného integrátora 6, sa impulzné napätie zodpovedajúce zložkám bodov pri zopnutých spínačoch 17, 21 prenáša s opačnou polaritou na výstup 23 generátora, bez ohľadu na stav spínačov 8 a 16.

V prípade rozopnutia spínačov 17, 21 a pri zopnutom spínači 16 výstupné napätie generátora ostáva zapamätané, nemení sa, takže môže dochádzať k zmene číslicových signálov na druhom vstupe 2 generátora tak, že výstupné napätie číslicovo-analógového prevodníka 5 bude úmerné zložkám bodov, alebo pre vznik pílomitého napätia prírastkom zložiek vektorov. Rozopnutím druhého spínača 16 číslicovým signálom na tretom vstupe 3 generátora, určujúcim čas generovania vektora, nastáva integrácia, takže pôvodné napätie na integračnej kapacite 13 sa začne lineárne zväčšovať alebo zmenšovať v závislosti na časovej konštante rovnej súčinu integračnej kapacity 13 a integračného odporu 9 a na veľkosti a polarite napätia na výstupe číslicovo-analógového prevodníka 5.

Zopnutím druhého spínača 16 končí generovanie pílomitého napätia. Na druhý vstup 2 generátora sa privedú číslicové signály zodpovedajúce zložkám bodov a po zopnutí spínačov 17, 21 dochádza k prepisu napätia koncového bodu zložky vektora napätím číslicovo-analógového prevodníka 5 a tým k oprave prípadných chýb vzniknutých pri činnosti generátora. Pri rozopnutom prvom spínači 8 je generovanie pílomitého napätia s rôznou smernicou v skupinách a rozdelenie zložiek vektorov do skupín dané číslicovými signálmi na druhom vstupe 2 generátora.

Jednotlivé skupiny sú vytvorené tak, že maximálna dĺžka zložky sa delí postupne na polovicu, čím vzniknú skupiny od max. dĺžky po $\frac{1}{2}$ max., od $\frac{1}{2}$ max. dĺžky po $\frac{1}{4}$ max., atď., smerom nadol. To znamená, že zložky $\frac{1}{2}$ max. až max. sa generujú za čas T , zložky $\frac{1}{4}$ max. až $\frac{1}{2}$ max. za čas $T/2$ atď.

Privedením číslicového signálu na prvý

vstup 1 generátora sa zopnutím prvého spínača 8 skratuje posledná časť 12 integračného odporu 9 pri generovaní všetkých zložiek vektorov patriacich podľa dĺžky do prvej polovice v každej z predchádzajúcich skupín, t. j. od $\frac{1}{2}$ max. dĺžky po $\frac{3}{4}$ max., od $\frac{1}{4}$ max. dĺžky po $\frac{3}{8}$ max., atď., takže sa počet skupín zdvojnásobí. Ak hodnota poslednej časti 12 integračného odporu 9 je rovná $\frac{1}{4}$ jeho celkovej hodnoty o túto hodnotu sa znižuje časová konštanta a tiež pôvodný čas generovania zložiek vektorov v nových skupinách, a to z T na $\frac{3}{4} T$, z $T/2$ na $\frac{3}{8} T$, atď.

Z pomeru dĺžok zložiek a časov ich kreslenia vychádza rýchlosť kreslenia na hraniciach skupín konštantná, rovná max. hodnota. Pri pôvodnom počte skupín bol pokles rýchlosti generovania zložiek vektorov v skupinách z max. na $\frac{1}{2}$ max. rýchlosti, pri dvojnásobnom počte skupín je pokles na $\frac{3}{4}$ max. rýchlosti.

Spínače 8, 16, 17, 21 môžu byť tvorené unipolárnymi FET tranzistormi. Budiace a kompenzačné obvody 7, 15, 18 slúžia ako prevodník úrovne TTL na riadiace napätie spínačov a kompenzujú prechodové náboje

spínačov. Zosilňovač 14 môže byť tvorený operačným zosilňovačom, ktorého výstup je vedený cez prúdový zosilňovač pre dosiahnutie väčších rýchlostí prebehu generátora. Invertujúci sumačný zosilňovač 22 môže byť tvorený operačným zosilňovačom v príslušnom zapojení.

Číslicovo-analógový prevodník 5 môže byť tvorený bipolárnym váhovým typom s napäťovým výstupom. Pre zobrazenie vektorov a bodov sú potrebné dva uvedené generátory, pričom riadiace číslicové signály na vstupoch 1, 3, 4 sú spoločné pre ich zložky. Pre dosiahnutie súhlasnej polarizácie výstupného napätia generátora s výstupným napätím číslicovo-analógového prevodníka 5 a taktiež z dôvodu oddelenia viacfunkčného integrátora 6 od buđených obvodov je vhodné zaradiť na výstup 23 generátora operačný zosilňovač v invertujúcom zapojení.

Generátor zložky napätia pre vytvorenie vektorov a bodov na zariadeniach zobrazujúcich v pravouhlej súradnicovej sústave môže byť využitý i ako samostatný riadený zdroj pilovitého napätia, prípadne v generátoroch funkcií.

PREDMET VYNÁLEZU

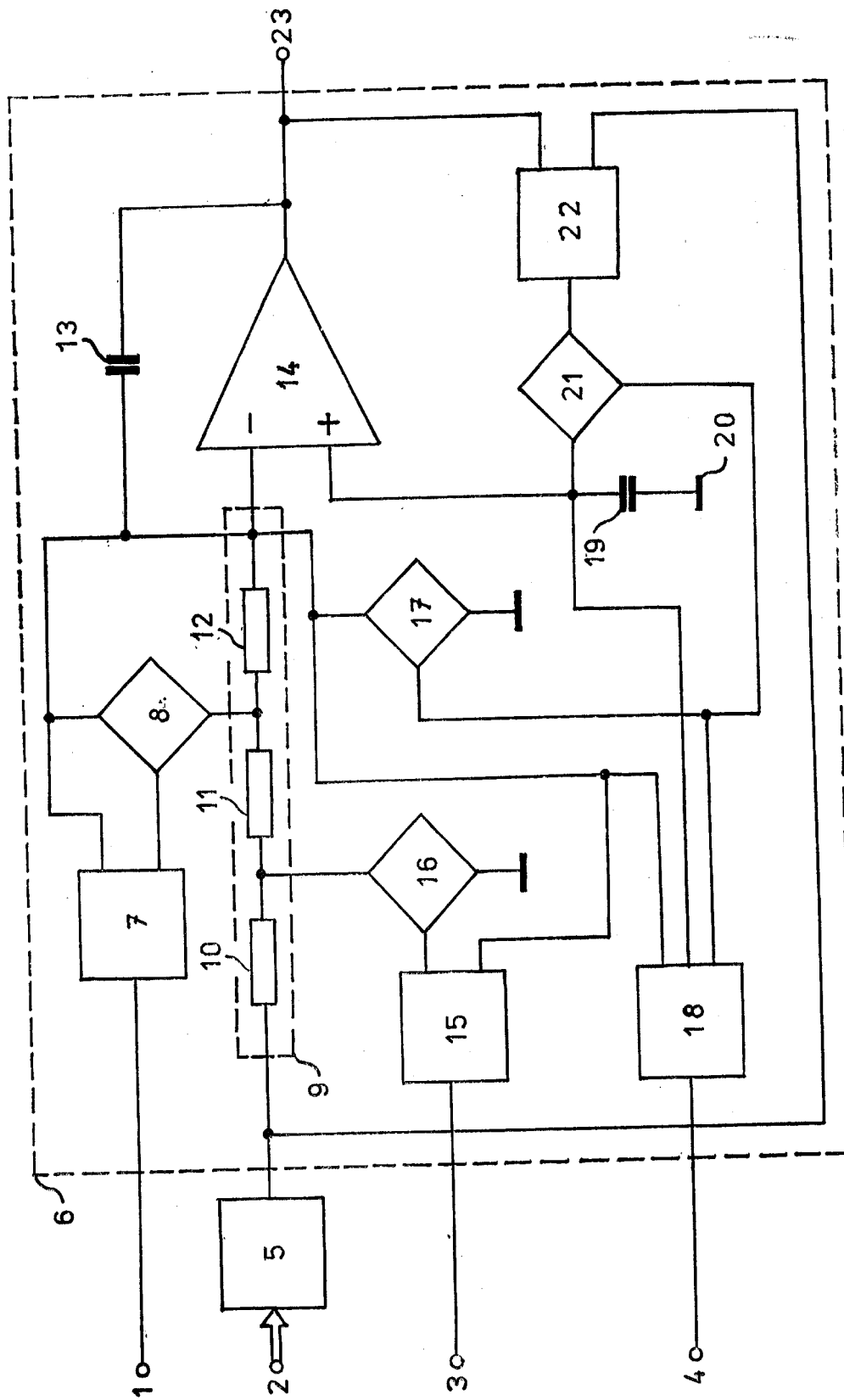
Generátor zložky napätia pre vytvorenie vektorov a bodov na zariadeniach zobrazujúcich v pravouhlej súradnicovej sústave, určený na budenie vychyľovacieho zosilňovača pre jednu z osí zobrazenia, napríklad grafických vektorových monitorov alebo súradnicových zapisovačov, pričom vektory sú zobrazované integračnou metódou s konštantným časom a sú rozdelené do skupín, ktorým zodpovedajú rôzne časy tak, že rýchlosť kreslenia na hraniciach skupín je konštantná, rovná max. hodnote, obsahujúci číslicové vstupy zapojené na zdroj dát, napr. grafický procesor alebo riadiacu jednotku a analógový výstup, číslicovo-analógový prevodník a viacfunkčný integrátor, ktorý ďalej obsahuje zosilňovač s invertujúcim a neinvertujúcim vstupom, integračný odpor zložený z niekoľkých častí, ktoré sú sériovo spojené, integračný kondenzátor, druhý kondenzátor, min. tri spínače so vstupom, výstupom a riadiacim vstupom s príslušnými budiacimi a kompenzačnými obvodmi, invertujúci sumačný zosilňovač s minimálne dvoma vstupmi a výstupom a zemnou svorkou, pričom na invertujúci vstup zosilňovača, spojený cez tretí spínač so zemnou svorkou, je cez integračný odpor zapojený výstup číslicovo-analógového prevodníka, ďalej cez integračný kondenzátor jeho výstup, ďalej druhý výstup druhých a prvý výstup tretích budiacich a kompenzačných obvodov, na jeho neinvertujúci vstup, spojený cez druhý kondenzátor so zemnou svorkou, sú pripojené druhý výstup tretích budiacich a kom-

penzačných obvodov a cez štvrtý spínač výstup invertujúceho sumačného zosilňovača, ktorého prvý vstup je pripojený na výstup zosilňovača spojený s analógovým výstupom generátora, zatiaľ čo jeho druhý vstup je spojený s výstupom číslicovo-analógového prevodníka spojeného so začiatkom prvej časti integračného odporu, pričom vstup číslicovo-analógového prevodníka je spojený s druhým vstupom zapojenia generátora, na ktorý sú privedené číslicové signály zodpovedajúce zobrazovaným zložkám vektorov a bodov, ďalej minimálne koniec prvej časti spojený so začiatkom nasledujúcej časti integračného odporu je spojený cez druhý spínač so zemnou svorkou, pričom jeho riadiaci vstup je spojený s prvým výstupom druhých budiacich a kompenzačných obvodov, ktorých vstup je spojený s tretím vstupom zapojenia generátora, na ktorý je privedený číslicový signál určujúci čas generovania vektora, riadiace vstupy tretieho a štvrtého spínača sú spojené s tretím výstupom tretích budiacich a kompenzačných obvodov, ktorých vstup je spojený so štvrtým vstupom zapojenia generátora, na ktorý je privedený číslicový signál určujúci režim generátora, vyznačujúci sa tým, že integračný odpor (9) je rozdelený minimálne na tri časti (10, 11, 12), pričom k jeho poslednej časti (12), cez ktorú je invertujúci vstup zosilňovača (14) spojený s koncom jeho predchádzajúcej časti (11), je paralelne pripojený prvý spínač (8), pričom

jeho riadiaci vstup je spojený s druhým výstupom prvých budiacich a kompenzačných obvodov (7), ktorých prvý výstup je spoje-

ný s invertujúcim vstupom zosilňovača (14) a ich vstup je spojený s prvým vstupom (1) zapojenia generátora.

1 list výkresov





FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

264 826

(11) (B1)

(13)

(51) Int. Cl.⁴

H 03 K 21/40

(22) Prihlásené 17 12 86

(21) PV 9435-86.E

(40) Zverejnené 15 12 88

(45) Vydané 15 12 89

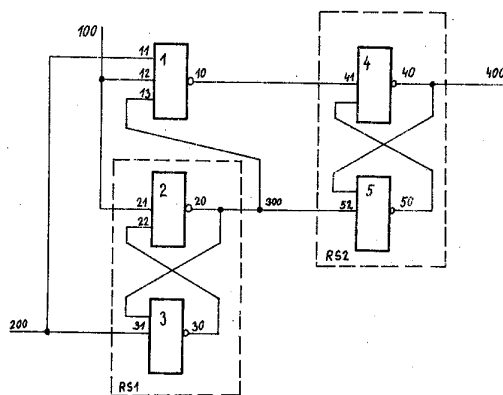
(75)

Autor vynálezu

ŠTĚPÁNEK JAROSLAV ing., HEGLAS LADISLAV prom. fil., ŽILINA

(54) Synchronný klopný obvod s funkciou zachytenia význačného signálu

(57) Riešenie sa týka oblasti klopných obvodov, rieši požiadavku zachytenia signálu s význačnou logickou úrovňou v priebehu doby, určenej vonkajším strobovacím signálom. Začiatočnou hranou strobovacieho signálu sa predchádzajúca informácia z klopného obvodu vymazáva. Klopný obvod sa využíva v testovacích zariadeniach, v obvodoch vyhodnocujúcich chybu meraného prvku. Strobovací signál na vstupe synchronného klopného obvodu v dobe uzavretia časového okna uzatvára hradla, čím sa blokuje vplyv dátového vstupu. Zároveň vymazáva obsah asynchronného klopného obvodu. Príchod časového okna vytvára aktívnu úroveň na výstupe hradla, čím sa vymazáva obsah asynchronného klopného obvodu. Zaznamenanie význačného signálu sa cez klopný obvod prenáša na klopný obvod.



Vynález rieši problém zapojenia číslicového obvodu, ktorého funkciou je získanie informácie o prítomnosti signálu s význačnou logickou úrovňou v priebehu doby, určenej vonkajším strobovacím signálom. Typické použitie takéhoto obvodu je v testeroch logických integrovaných obvodov, kde sa jeho pomocou zachytáva informácia, či sa na testovanom vývode v dobe určenej strobovacím signálom neobjavila chyba.

Sú známe rôzne riešenia uvedenej problematiky s využitím štandardných klopných obvodov, ich spoločnou nevýhodou je nutná existencia mazacieho vstupu, ktorý klopný obvod pred strobovacou dobou vymazáva svoj obsah.

Uvedenú nevýhodu rieši zapojenie synchronného klopného obvodu podľa vynálezu, u ktorého dva asynchrónne R-S klopné obvody, z ktorých vstupy prvého asynchrónneho R-S klopného obvodu sú pripojené na vonkajší riadiaci a strobovací vstup a u ktorých jeden z výstupov prvého asynchrónneho R-S klopného obvodu je pripojený na jeden zo vstupov druhého asynchrónneho R-S klopného obvodu, sú doplnené o synchronizačné hradlo. Vstupy synchronizačného hradla sú pripojené na vonkajší riadiaci a strobovací vstup a na ten z výstupov prvého asynchrónneho R-S klopného obvodu, ktorý je pripojený vnútornou väzbou na druhý asynchrónny R-S klopný obvod. Výstup synchronizačného hradla je pripojený na druhý vstup druhého R-S klopného obvodu.

Výhoda synchronného klopného obvodu podľa vynálezu je v tom, že umožňuje zachytiť príchod signálu v dobe určenej aktívnou úrovňou na strobovacom vstupe, pričom začiatočnou hranou strobovacieho signálu vymazáva klopný obvod svoj predchádzajúci obsah.

Zapojenie synchronného klopného obvodu pre zachytávanie signálu s význačnou logickou úrovňou je na obr.

Prvý asynchrónny R-S klopný obvod RS1 je tvorený negujúcimi dvojstupovými hradlami 2 a 3, druhý asynchrónny R-S klopný obvod RS2 je tvorený negujúcimi dvojstupovými hradlami 4 a 5. Pomocné hradlo je označené symbolom 1. Vstup 100 strobovacieho signálu je pripojený na vstup 12 hradla 1 a vstup 21 hradla 2. Vstup 200 dátového signálu je pripojený na vstup 11 hradla 1 a vstup 32 hradla 3. Výstup 10 hradla 1 je pripojený na vstup 41 hradla 4. Výstup 20 hradla 2 je pripojený na vstup 52 hradla 5 a vstup 31 hradla 3 a vstup 13 hradla 1. Výstup 30 hradla 3 je pripojený na vstup 22 hradla 2. Výstup 40 hradla 4 je pripojený na vstup 51 hradla 5. Výstup 50 hradla 5 je pripojený na vstup 42 hradla 4.

V prípade realizácie zapojenia podľa obr. 1 pomocou súčinových negajúcich hradiel je doba strobovania určená úrovňou "H" na strobovacom vstupe 100 a význačný signál, ktorý je klopným obodom v dobe strobovania zachytávaný, je signál s úrovňou "L" na dátovom vstupe 200. Príchodom strobovacieho signálu "H" na vstup 100 sa v prípade, že vstup 200 je na úrovni "H" vytvorí na výstupe 10 pomocného hradla 1 úroveň "L", čím sa výstupný R-S klopný obvod uvedie do stavu "H" na výstupe 40, nezávisle na tom, aký bol jeho predchádzajúci stav. Popísaná činnosť predstavuje vymazanie klopného obvodu začiatočnou hranou strobovacieho signálu. Príchodom úrovne "L" na dátový vstup 200 sa v prípade doby strobovania, t.j. prítomnosti úrovne "H" na strobovacom vstupe 100 uvedie výstup 30 hradla 3 do úrovne "H" a následne výstup 20 hradla 2 do úrovne "L". Úroveň "L" na výstupe 20 jednak preklopí výstupný R-S klopný obvod do stavu "L" na výstupe 40, jednak zruší vplyv vstupu 200 na hradla 1 a 3 v prípade, ak sa tento nevráti späť do úrovne "H". Informácia o príchode úrovne "L" v dobe strobovania tak zostane zachovaná. V dobe prítomnosti úrovne "L" na strobovacom vstupe 100 sú výstupy 10 hradla 1 a 20 hradla 2 v úrovni "H", takže výstupný R-S klopný obvod neovlivňuje. Informácia o príchode úrovne "L" v dobe strobovania tak zostáva ďalej zachovaná, až do príchodu začiatočnej hrany strobovacieho impulzu, kedy sa obsah klopného obvodu vymazáva.

P R E D M E T V Y N Á L E Z U

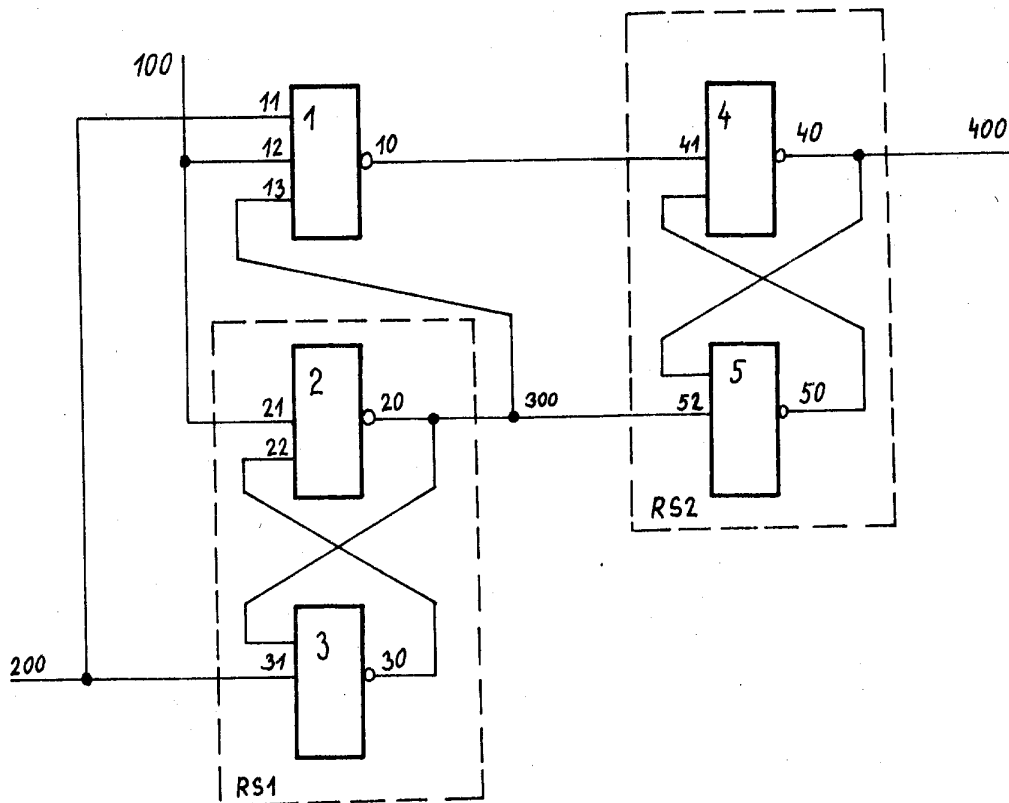
1. Synchronný klopný obvod s funkciou zachytenia význačného signálu, pozostávajúci z dvoch asynchronných R-S klopných obvodov, pričom výstup prvého hradla prvého asynchronného R-S klopného obvodu je pripojený na riadiaci vstup druhého hradla druhého asynchronného R-S klopného obvodu, strobovací vstup synchronného klopného obvodu je pripojený na riadiaci vstup prvého hradla prvého asynchronného R-S klopného obvodu, dátový vstup synchronného klopného obvodu je pripojený na riadiaci vstup druhého hradla prvého asynchronného R-S klopného obvodu a dátový výstup synchronného klopného obvodu je tvorený výstupom druhého R-S klopného obvodu, vyznačujúci sa tým, že riadiaci vstup (41) prvého hradla (4) druhého asynchronného R-S klopného obvodu (RS2) je pripojený na výstup (10) synchronizačného hradla (1), pričom prvý vstup (11) synchronizačného hradla (1) je pripojený na dátový vstup (200) synchronného klopného obvodu, druhý vstup (12) synchronizačného hradla (1) je pripojený na strobovací vstup (100) synchronného klopného obvodu a tretí vstup (13) synchronizačného hradla (1) je pripojený na výstup (300) prvého asynchronného klopného obvodu (RS1), tvorený výstupom (20) prvého hradla (2) tohto klopného obvodu (RS1).

2. Synchronný klopný obvod podľa bodu 1, vyznačujúci sa tým, že synchronizačné hradlo (1), ako aj hradlá (2, 3, 4, 5) oboch asynchronných R-S klopných obvodov (RS1, RS2) sú tvorené súčinovými negujúcimi hradlami.

3. Synchronný klopný obvod podľa bodu 1, vyznačujúci sa tým, že synchronizačné hradlo (1), ako aj hradlá (2, 3, 4, 5) oboch asynchronných R-S klopných obvodov (RS1, RS2) sú tvorené súčtovými negujúcimi hradlami.

1 výkres

264826





FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

266 973

(11)

(13) B1

(51) Int. Cl.⁴
G 06 F 12/02

(21) PV 8996-87.U
(22) Prihlášené 09 12 87

(40) Zverejnené 12 05 89
(45) Vydané 14 12 90

(75)

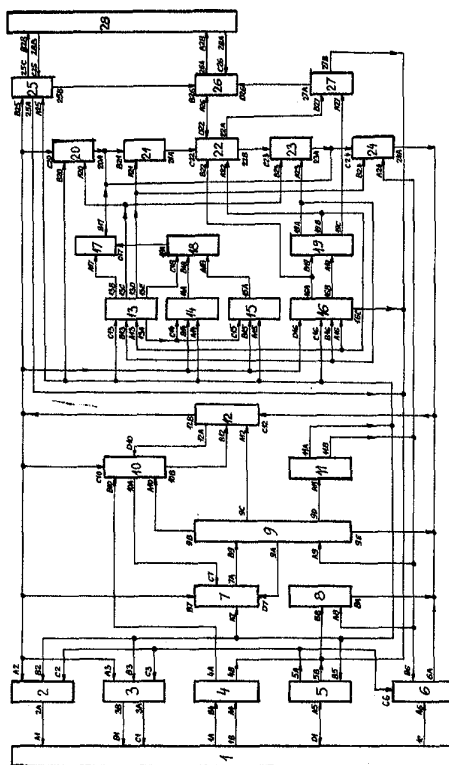
Autor vynálezu

OČKAIK DUŠAN ing., VINOHRADSKÝ TIBOR ing., ŽILINA

(54)

Zapojenie riadiaceho modulu vonkajších pamätí

(57) Zapojenie riadiaceho modulu vonkajších pamätí umožňuje pripájať malé pevné diskové pamäti k číslicovým počítačom so systémovou zbernicou Spoločná zbernica. Organizácia blokov a dát na disku je v riadiacom module určená mikroprogramovo. Zapojenie umožňuje vykonávať súčasný prenos blokov dát medzi operačnou pamäťou počítača, riadiacim modulom a diskovou pamäťou.



Vynález sa týka zapojenia riadiaceho modulu vonkajších pamätí pre pripojenie malých pevných diskových pamätí na systémovú zbernicu Spoločná zbernica číslicového počítača.

Doteraz známe zapojenia riadiacich modulov diskových pamätí neumožňovali pripojenie malých pevných diskových pamätí na systémovú zbernicu Spoločná zbernica číslicového počítača.

Vyššie uvedené nedostatky odstraňuje zapojenie podľa vynálezu, ktorého podstata je v tom, že výstupy bloku pamäti mikroprogramu sú spojené so vstupmi bloku aritmeticko-logickej jednotky, zatiaľ čo výstupy bloku pamäti mikroprogramu sú spojené so vstupmi bloku výberu podmienky, pričom výstupy bloku pamäti mikroprogramu sú spojené so vstupmi bloku dekódera riadiacich signálov, zatiaľ čo výstupy bloku pamäti mikroprogramu sú spojené so vstupmi bloku riadenia mikroprogramu, pričom výstupy bloku aritmeticko-logickej jednotky sú spojené so vstupmi bloku výstupných dát a tiež so vstupmi bloku adresy operačnej pamäti a ďalej tiež so vstupmi bloku riadenia mikroprogramu a tiež so vstupmi bloku výberu podmienky, a ďalej tiež so vstupmi bloku adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupmi bloku adresy vyrovnávacej pamäti disku a ďalej tiež so vstupmi bloku počtu slov a tiež so vstupom vstupného registra vyrovnávacej pamäti a ďalej tiež so vstupmi bloku riadenia disku, zatiaľ čo výstupy bloku dekódera riadiacich signálov sú spojené so vstupom bloku výstupných dát a tiež so vstupom bloku adresy operačnej pamäti a ďalej tiež so vstupom bloku riadenia mikroprogramu a tiež so vstupmi bloku riadenia styku s počítačom, ďalej tiež so vstupom bloku počtu slov a tiež so vstupom bloku adresy vyrovnávacej pamäti disku a ďalej tiež so vstupom bloku adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupmi bloku riadenia vyrovnávacej pamäti a ďalej tiež so vstupom vstupného registra vyrovnávacej pamäti a tiež so vstupom bloku riadenia disku, zatiaľ čo vstupy bloku aritmeticko-logickej jednotky sú spojené s výstupmi bloku vstupných dát a tiež s výstupmi bloku stavových signálov a ďalej tiež s výstupmi bloku pamäti mikroprogramu a tiež s výstupmi výstupného registra vyrovnávacej pamäti, pričom výstupy bloku dekódera riadiacich signálov sú spojené so vstupom bloku vstupných dát a tiež so vstupom bloku stavových signálov a ďalej tiež so vstupom bloku pamäti mikroprogramu a tiež so vstupom výstupného registra vyrovnávacej pamäti, zatiaľ čo vstupy bloku stavových signálov sú spojené s výstupmi bloku dekódera adresy a tiež s výstupmi bloku riadenia styku s počítačom a ďalej tiež s výstupmi bloku riadenia disku a tiež s výstupom bloku kontroly dát a ďalej tiež s výstupom bloku počtu slov, pričom výstup bloku dekódera adresy je spojený so vstupom bloku výberu podmienky, zatiaľ čo výstup bloku výberu podmienky je spojený so vstupom bloku riadenia mikroprogramu, pričom výstupy bloku aritmeticko-logickej jednotky sú spojené so vstupmi bloku výberu podmienky, zatiaľ čo výstup bloku výberu podmienky je spojený so vstupom bloku aritmeticko-logickej jednotky, pričom výstupy bloku riadenia mikroprogramu sú spojené so vstupmi bloku pamäti mikroprogramu, zatiaľ čo výstupy bloku riadenia styku s počítačom sú spojené so vstupom bloku adresy operačnej pamäti a tiež so vstupom bloku výstupných dát a ďalej tiež so vstupom bloku vstupných dát, pričom výstupy bloku výstupných dát sú spojené so vstupmi bloku styku s počítačom, zatiaľ čo výstupy bloku adresy operačnej pamäti sú spojené so vstupmi bloku styku s počítačom, pričom výstup bloku adresy operačnej pamäti je spojený so vstupom bloku styku s počítačom, zatiaľ čo vstupy bloku dekódera adresy sú spojené s výstupmi bloku styku s počítačom, pričom vstup bloku dekódera adresy je spojený s výstupom bloku styku s počítačom, zatiaľ čo obojsmerné vstupy bloku riadenia styku s počítačom sú spojené s obojsmernými vstupmi bloku styku s počítačom, pričom vstupy bloku vstupných dát sú spojené s výstupmi bloku styku s počítačom, zatiaľ čo výstupy bloku počtu slov sú spojené so vstupmi bloku riadenia dát a tiež sú spojené so vstupmi bloku posuvného registra, pričom výstupy bloku počtu slov sú spojené so vstupmi bloku riadenia dát, zatiaľ čo výstup bloku riadenia dát je spojený so vstupom vyrovnávacieho registra čítaných dát a tiež so vstupom bloku počtu slov a ďalej tiež so vstupom bloku riadenia vyrovnávacej pamäti, pričom výstup bloku riadenia dát je spojený so vstupom bloku posuvného registra a tiež so vstupom bloku počtu slov, a ďalej tiež so vstupom bloku riadenia vyrovnávacej pamäti, zatiaľ čo výstupy bloku riadenia dát sú spojené so vstupmi bloku kontroly dát, pričom výstup bloku riadenia vyrovnávacej pamäti je spojený so vstupom bloku adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupom

bloku adresy vyrovnávacej pamäti disku, zatiaľ čo výstupy bloku riadenia vyrovnávacej pamäti sú spojené so vstupmi bloku vyrovnávacej pamäti, pričom výstupy bloku riadenia vyrovnávacej pamäti sú spojené so vstupom vstupného registra vyrovnávacej pamäti a tiež so vstupom vyrovnávacieho registra čítaných dát, zatiaľ čo výstupy bloku riadenia vyrovnávacej pamäti sú spojené so vstupom vyrovnávacieho registra zapisovaných dát a tiež so vstupom výstupného registra vyrovnávacej pamäti, pričom výstup bloku riadenia vyrovnávacej pamäti je spojený so vstupom bloku výberu adresy, zatiaľ čo výstupy bloku adresy vyrovnávacej pamäti mikroprogramu sú spojené so vstupmi bloku výberu adresy, pričom výstupy bloku adresy vyrovnávacej pamäti disku sú spojené so vstupmi bloku výberu adresy, pričom výstupy bloku výberu adresy sú spojené so vstupmi bloku vyrovnávacej pamäti, zatiaľ čo obojsmerné vstupy bloku vyrovnávacej pamäti sú spojené s výstupmi vstupného registra vyrovnávacej pamäti a tiež so vstupmi vyrovnávacieho registra zapisovaných dát a ďalej tiež s výstupmi vyrovnávacieho registra čítaných dát a tiež so vstupmi výstupného registra vyrovnávacej pamäti, pričom výstupy vyrovnávacieho registra zapisovaných dát sú spojené so vstupmi bloku posuvného registra, zatiaľ čo výstupy bloku posuvného registra sú spojené so vstupmi vyrovnávacieho registra čítaných dát, pričom obojsmerné vstupy bloku posuvného registra sú spojené s obojsmernými vstupmi bloku dekódovania dát, zatiaľ čo výstup bloku posuvného registra je spojený so vstupom bloku kontroly dát, pričom výstup bloku kontroly dát je spojený so vstupom bloku kódovania dát, zatiaľ čo výstup bloku riadenia disku je spojený so vstupom bloku kódovania dát, pričom vstupy bloku riadenia disku sú spojené s výstupmi bloku styku s diskom, pričom výstupy bloku riadenia disku sú spojené so vstupmi bloku styku s diskom, zatiaľ čo výstupy bloku kódovania dát sú spojené so vstupmi bloku styku s diskom, pričom vstupy bloku kódovania dát sú spojené s výstupmi bloku styku s diskom.

Výhodou zapojenia podľa tohoto vynálezu je možnosť pripájania malých pevných diskových pamätí s rôznymi kapacitami k počítačom so systémovou zbernicou Spoločná zbernica bez zmien v zapojení. Tejto výhody je dosiahnuté tým, že organizácia blokov na disku je v riadiacom module určovaná mikroprogramovo. Ďalšou výhodou tohoto vynálezu je, že prenosy blokov dát medzi operačnou pamäťou počítača a blokom vyrovnávacej pamäti a zároveň medzi blokom vyrovnávacej pamäti a diskovou pamäťou sú vykonávané autonómne. Toho je dosiahnuté tým, že pri prenose blokov dát s operačnou pamäťou je realizovaná autonómna súčinnosť bloku aritmeticko-logickej jednotky s blokom riadenia vyrovnávacej pamäti a blokom riadenia styku s počítačom. Pri prenose bloku dát s diskovou pamäťou je to dosiahnuté realizovaním autonómnej súčinnosti bloku riadenia dát s blokom počtu slov.

Na priloženom výkrese obr. 1 je zobrazená celková bloková schéma zapojenia podľa tohoto vynálezu.

Príklad konkrétnej realizácie vynálezu je riešenie podľa obr. 1, vyznačujúce sa tým, že výstupy 9C bloku 9 pamäti mikroprogramu sú spojené so vstupmi A12 bloku 12 aritmeticko-logickej jednotky, zatiaľ čo výstupy 9B bloku 9 pamäti mikroprogramu sú spojené so vstupmi A10 bloku 10 výberu podmienky, pričom výstupy 9D bloku 9 pamäti mikroprogramu sú spojené so vstupmi A11 bloku 11 dekódera riadiacich signálov, zatiaľ čo výstupy 9A bloku 9 pamäti mikroprogramu sú spojené so vstupmi D7 bloku 7 riadenia mikroprogramu, pričom výstupy 12B bloku 12 aritmeticko-logickej jednotky sú spojené so vstupmi A2 bloku 2 výstupných dát a tiež so vstupmi A3 bloku 3 adresy operačnej pamäti a ďalej tiež so vstupmi B7 bloku 7 riadenia mikroprogramu a tiež so vstupmi C10 bloku 10 výberu podmienky a ďalej tiež so vstupmi B14 bloku 14 adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupmi B15 bloku 15 adresy vyrovnávacej pamäti disku a ďalej tiež so vstupmi D16 bloku 16 počtu slov a tiež so vstupom C20 vstupného registra 20 vyrovnávacej pamäti a ďalej tiež so vstupmi B25 bloku 25 riadenia disku, zatiaľ čo výstupy 11A bloku 11 dekódera riadiacich signálov sú spojené so vstupom B2 bloku 2 výstupných dát a tiež so vstupom B3 bloku 3 adresy operačnej pamäti a ďalej tiež so vstupom A7 bloku 7 riadenia mikroprogramu a tiež so vstupmi B5 bloku 5 riadenia styku s počítačom a ďalej tiež so vstupom C16 bloku 16 počtu slov a tiež so vstupom A15 bloku 15 adresy vyrovnávacej pamäti disku a ďalej tiež so vstupom A14 bloku 14 adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupmi C13 bloku 13 riadenia vyrovnávacej

pamäti a ďalej tiež so vstupom B20 vstupného registra 20 vyrovnávacej pamäti a tiež so vstupom A25 bloku 25 riadenia disku, zatiaľ čo vstupy C12 bloku 12 aritmeticko-logickej jednotky sú spojené s výstupmi 6A bloku 6 vstupných dát a tiež s výstupmi 8A bloku 8 stavových signálov a ďalej tiež s výstupmi 9E bloku 9 pamäti mikroprogramu a tiež s výstupmi 24A výstupného registra 24 vyrovnávacej pamäti, pričom výstupy 11B bloku 11 dekódera riadiacich signálov sú spojené so vstupom B6 bloku 6 vstupných dát a tiež so vstupom A8 bloku 8 stavových signálov a ďalej tiež so vstupom A9 bloku 9 pamäti mikroprogramu a tiež so vstupom A24 výstupného registra 24 vyrovnávacej pamäti, zatiaľ čo vstupy B8 bloku 8 stavových signálov sú spojené s výstupmi 4B bloku 4 dekódera adresy a tiež s výstupmi 5B bloku 5 riadenia styku s počítačom a ďalej tiež s výstupmi 25A bloku 25 riadenia disku a tiež s výstupom 27B bloku 27 kontroly dát a ďalej tiež s výstupom 16C bloku 16 počtu slov, pričom výstup 4A bloku 4 dekódera adresy je spojený so vstupom B10 bloku 10 výberu podmienky, zatiaľ čo výstup 10A bloku 10 výberu podmienky je spojený so vstupom C7 bloku 7 riadenia mikroprogramu, pričom výstupy 12A bloku 12 aritmeticko-logickej jednotky sú spojené so vstupmi D10 bloku 10 výberu podmienky, zatiaľ čo výstup 10B bloku 10 výberu podmienky je spojený so vstupom B12 bloku 12 aritmeticko-logickej jednotky, pričom výstupy 7A bloku 7 riadenia mikroprogramu sú spojené so vstupmi B9 bloku 9 pamäti mikroprogramu, zatiaľ čo výstupy 5A bloku 5 riadenia styku s počítačom sú spojené so vstupom C3 bloku 3 adresy operačnej pamäti a tiež so vstupom C2 bloku 2 výstupných dát a ďalej tiež so vstupom C6 bloku 6 vstupných dát, pričom výstupy 2A výstupných dát sú spojené so vstupmi A1 bloku 1 styku s počítačom, zatiaľ čo výstupy 3B bloku 3 adresy operačnej pamäti sú spojené so vstupmi B1 bloku 1 styku s počítačom, pričom výstup 3A bloku 3 adresy operačnej pamäti je spojený so vstupom C1 bloku 1 styku s počítačom, zatiaľ čo vstupy B4 bloku 4 dekódera adresy sú spojené s výstupmi 1A bloku 1 styku s počítačom, pričom vstup A4 bloku 4 dekódera adresy je spojený s výstupom 1B bloku 1 styku s počítačom, zatiaľ čo obojsmerné vstupy A5 bloku 5 riadenia styku s počítačom sú spojené s obojsmernými vstupmi D1 bloku 1 styku s počítačom, pričom vstupy A6 bloku 6 vstupných dát sú spojené s výstupmi 1C bloku 1 styku s počítačom, zatiaľ čo výstupy 16A bloku 16 počtu slov sú spojené so vstupmi B19 bloku 19 riadenia dát a tiež so vstupmi B22 bloku 22 posuvného registra, pričom výstupy 16B bloku 16 počtu slov sú spojené so vstupmi A19 bloku 19 riadenia dát, zatiaľ čo výstup 19A bloku 19 riadenia dát je spojený so vstupom A23 vyrovnávacieho registra 23 čítaných dát a tiež so vstupom B16 bloku 16 počtu slov a ďalej tiež so vstupom B13 bloku 13 riadenia vyrovnávacej pamäti, pričom výstup 19B bloku 19 riadenia dát je spojený so vstupom A22 bloku 22 posuvného registra a tiež so vstupom A16 bloku 16 počtu slov a ďalej tiež so vstupom A13 bloku 13 riadenia vyrovnávacej pamäti, zatiaľ čo výstupy 19C bloku 19 riadenia dát sú spojené so vstupmi A27 bloku 27 kontroly dát, pričom výstup 13A bloku 13 riadenia vyrovnávacej pamäti je spojený so vstupom C14 bloku 14 adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupom C15 bloku 15 adresy vyrovnávacej pamäti disku, zatiaľ čo výstupy 13B bloku 13 riadenia vyrovnávacej pamäti sú spojené so vstupmi A17 bloku 17 vyrovnávacej pamäti, pričom výstupy 13C bloku 13 riadenia vyrovnávacej pamäti sú spojené so vstupom A20 výstupného registra 20 vyrovnávacej pamäti a tiež so vstupom B23 vyrovnávacieho registra 23 čítaných dát, zatiaľ čo výstupy 13D bloku 13 riadenia vyrovnávacej pamäti sú spojené so vstupom A21 vyrovnávacieho registra 21 zapisovaných dát a tiež so vstupom B24 výstupného registra 24 vyrovnávacej pamäti, pričom výstupy 13E bloku 13 riadenia vyrovnávacej pamäti je spojený so vstupom C18 bloku 18 výberu adresy, zatiaľ čo výstupy 14A bloku 14 adresy vyrovnávacej pamäti mikroprogramu sú spojené so vstupmi B18 bloku 18 výberu adresy, pričom výstupy 15A bloku 15 adresy vyrovnávacej pamäti disku sú spojené so vstupmi A18 bloku 18 výberu adresy, pričom výstupy 18A bloku 18 výberu adresy sú spojené so vstupmi C17 bloku 17 vyrovnávacej pamäti, zatiaľ čo obojsmerné vstupy B17 bloku 17 vyrovnávacej pamäti sú spojené s výstupmi 20A vstupného registra 20 vyrovnávacej pamäti a tiež so vstupmi B21 vyrovnávacieho registra 21 zapisovaných dát a ďalej tiež s výstupmi 23A vyrovnávacieho registra 23 čítaných dát a tiež so vstupmi C24 výstupného registra 24 vyrovnávacej pamäti, pričom výstupy 21A vyrovnávacieho registra 21 zapisovaných dát sú spojené so vstupmi C22 bloku 22 posuvného registra, zatiaľ čo výstupy 22B bloku 22 posuvného registra sú spojené so vstupmi C23 vyrovnávacieho registra 23 čítaných dát, pričom obojsmerné vstupy D22 bloku 22 posuvného registra sú spojené s obojsmernými vstupmi A26 bloku 26 kódovania dát, zatiaľ čo výstup 22A bloku 22 posuvného registra je

spojený so vstupom B27 bloku 27 kontroly dát, pričom výstup 27A bloku 27 kontroly dát je spojený so vstupom D26 bloku 26 kódovania dát, zatiaľ čo výstup 25B bloku 25 riadenia disku je spojený so vstupom B26 bloku 26 kódovania dát, pričom vstupy C25 bloku 25 riadenia disku sú spojené s výstupmi 28B bloku 28 styku s diskom, pričom výstupy 25C bloku 25 riadenia disku sú spojené so vstupmi B28 bloku 28 styku s diskom, zatiaľ čo výstupy 26A bloku 26 kódovania dát sú spojené so vstupmi A28 bloku 28 styku s diskom, pričom vstupy C26 bloku 26 kódovania dát sú spojené s výstupmi 28A bloku 28 styku s diskom.

Funkcia zapojenia podľa tohoto vynálezu je nasledovná: Adresné linky systémovej zbernice sú cez výstup 1A bloku 1 styku s počítačom privedené na vstup B4 bloku 4 dekódera adresy, kde sú porovnávané s danou adresou riadiaceho modulu. Platnosť adresných liniek v riadiacom module je potvrdzovaná signálom zo systémovej zbernice, ktorý cez výstup 1B bloku 1 styku s počítačom je privedený na vstup A4 bloku 4 dekódera adresy, kde spôsobí vyhodnotenie zhody prijatej adresy s danou adresou riadiaceho modulu. Na základe dekódovania adresy riadiaceho modulu sa na výstupe 4A bloku 4 dekódera adresy vygeneruje signál, ktorý je cez vstup B10 bloku 10 výberu podmienky, v ktorom na základe riadiacich výstupov 9B bloku 9 pamäti mikroprogramu privedených na vstupy A10 bloku 10 výberu podmienky, dôjde k jeho výberu a cez výstup 10A bloku 10 výberu podmienky je takto vybratá podmienka privedená na vstup C7 bloku 7 riadenia mikroprogramu, pričom na výstupe 7A bloku 7 riadenia mikroprogramu sa vygeneruje nasledujúca adresa mikroprogramu, ktorá je privedená na vstup B9 bloku 9 pamäti mikroprogramu, od ktorej sa začne vykonávať obslužná rutina požadovaná zo strany systémovej zbernice. Nasledujúca adresa mikroprogramu sa vygeneruje v závislosti od inštrukcie a adresy privedenej na vstupy D7 bloku 7 riadenia mikroprogramu z výstupov 9A bloku 9 pamäti mikroprogramu.

Na danej adrese mikroprogramu sa na výstupech 9D bloku 9 pamäti mikroprogramu vygenerujú signály, ktoré sú privedené na vstupy A11 bloku 11 dekódera riadiacich signálov, kde sa vygeneruje riadiaci signál, ktorý cez výstup 11B bloku 11 dekódera riadiacich signálov je privedený na vstup A8 bloku 8 stavových signálov, kde spôsobí, že výstupné signály 4B bloku 4 dekódera adresy určujúce adresu systémových registrov riadiaceho modulu privedené na vstupy B8 bloku 8 stavových signálov, ako aj výstupný signál 5B bloku 5 riadenia styku s počítačom, určujúci operáciu čítanie alebo zápis dát systémového registra riadiaceho modulu privedeného na vstupy B8 bloku 8 stavových signálov, sú vyhradľované na výstup 8A bloku 8 stavových signálov odkiaľ sú privedené na vstupy C12 bloku 12 aritmeticko-logickej jednotky 12. V bloku 12 aritmeticko-logickej jednotky sa vypočíta nasledujúca adresa pre mikroprogram, ktorá je cez výstupy 12B bloku 12 aritmeticko-logickej jednotky privedená na vstupy B7 bloku 7 riadenia mikroprogramu.

V prípade, že zo strany systémovej zbernice je požadovaná operácia čítania systémového registra, potom na výstupoch 7A bloku 7 riadenia mikroprogramu prepojených so vstupmi B9 bloku 9 pamäti mikroprogramu sa vygeneruje adresa, na ktorej výstupy 9C bloku 9 pamäti mikroprogramu spojené so vstupmi A12 bloku 12 aritmeticko-logickej jednotky, vygenerujú inštrukciu a adresu požadovaného systémového registra, ktorý je súčasťou bloku 12 aritmeticko-logickej jednotky. Obsah požadovaného systémového registra je z výstupu 12B bloku 12 aritmeticko-logickej jednotky privedený na vstup A2 bloku 2 výstupných dát, pričom signálmi vygenerovanými na výstupoch 11A bloku 11 dekódera riadiacich signálov, ktorý je spojený so vstupmi B2 bloku 2 výstupných dát, je tento obsah odpamätaný a zároveň vyhradľovaný cez výstup 2A bloku 2 výstupných dát, ktorý je spojený so vstupom A1 bloku 1 s počítačom na systémovú zbernicu, pričom na výstupe 11A bloku 11 dekódera riadiacich signálov, ktorý je spojený so vstupom B5 bloku 5 riadenia styku s počítačom sa vygeneruje signál, ktorý cez výstup A5 bloku 5 riadenia styku s počítačom spojený so vstupom D1 bloku 1 styku s počítačom potvrdí platnosť vyslaných dát na systémovej zbernici.

Podobná funkcia je pri operácii zápis dát do systémového registra s tým rozdielom, že dáta privedené zo systémovej zbernice sú cez výstupy 1C bloku 1 styku s počítačom privedené na vstupy A6 bloku 6 vstupných dát, pričom signálmi vygenerovanými na výstupe 11B

bloku 11 dekódera riadiacich signálov, ktorý je spojený so vstupom B6 bloku 6 vstupných dát sú dáta odpamätané a zároveň vyhradľované cez výstup 6A bloku 6 vstupných dát, ktorý je spojený so vstupom C12 bloku 12 aritmeticko-logickej jednotky, odkiaľ sú zapísané do požadovaného systémového registra v bloku 12 aritmeticko-logickej jednotky.

Jednotlivé bity systémových registrov je možné testovať a podľa ich stavu vytvárať podmienku pre vetvenie adresy mikroprogramu. To je dosiahnuté tým, že výstupy 12B bloku 12 aritmeticko-logickej jednotky sú spojené so vstupmi C10 bloku 10 výberu podmienky, pričom testovanie požadovaného bitu sa vykoná pomocou riadiacich výstupov 9B bloku 9 pamäti mikroprogramu, ktoré sú privedené na vstupy A10 bloku 10 výberu podmienky, pričom stav testovaného bitu sa prenesie na výstup 10A bloku 10 výberu podmienky, ktorý je spojený so vstupom C7 bloku 7 riadenia mikroprogramu, ktorý v súčinnosti s adresou generovanou na danej adrese mikroprogramu privedenej z výstupov 9A bloku 9 pamäti mikroprogramu vytvorí nasledujúcu adresu mikroprogramu, ktorá je z výstupu 7A bloku 7 riadenia mikroprogramu, privedená na vstupy B9 bloku 9 pamäti mikroprogramu.

Pri vykonávaní aritmeticko-logických operácií sú nulový výsledok operácie a informácia o prenose do vyššieho rádu taktiež použité pre generovanie podmienky vetvenia adresy mikroprogramu. To je dosiahnuté tým, že výstupy 12A bloku 12 aritmeticko-logickej jednotky charakterizujúce tieto operácie sú privedené na vstupy D10 bloku 10 výberu podmienky, kde sú na základe riadiacich výstupov 9B bloku 9 pamäti mikroprogramu privedených na vstupy A10 bloku 10 výberu podmienky testované, pričom stav testovaného výsledku operácie sa prenesie na výstup 10A bloku 10 výberu podmienky, ktorý je spojený so vstupom C7 bloku 7 riadenia mikroprogramu, pričom výsledky aritmeticko-logických operácií môžu byť využité pre ďalšie aritmeticko-logické operácie, čo je dosiahnuté tým, že na základe riadiacich výstupov 9B pamäti mikroprogramu privedených na vstupy A10 bloku 10 výberu podmienky sa vyberie jeden z výsledkov operácie, ktorý sa prenesie na výstup 10B bloku 10 výberu podmienky spojeného so vstupom B12 bloku 12 aritmeticko-logickej jednotky.

Pri vykonávaní aritmeticko-logických operácií s konštantou, je táto získavaná z mikroprogramového riadenia tým, že na danej adrese mikroprogramu určenej výstupmi 7A bloku 7 riadenia mikroprogramu, ktoré sú spojené so vstupmi B9 bloku 9 pamäti mikroprogramu sú na výstupech 9D bloku 9 pamäti mikroprogramu generované signály privedené na vstup A11 bloku 11 dekódera riadiacich signálov, kde sa na výstupe 11B bloku 11 dekódera riadiacich signálov, ktorý je spojený so vstupom A9 bloku 9 pamäti mikroprogramu vygeneruje signál, ktorý požadovanú konštantu vyhradľuje cez výstup 9E bloku 9 pamäti mikroprogramu na vstup C12 bloku 12 aritmeticko-logickej jednotky.

Pri komunikácii eiadiaceho modulu s diskovou pamäťou sú výstupy 12B bloku 12 aritmeticko-logickej jednotky spojené so vstupmi B25 bloku 25 riadenia disku, na ktorých sa generujú riadiace signály pre disk, ktoré sú riadiacim signálom z výstupu 11A bloku 11 dekódera riadiacich signálov privedeným na vstup A25 bloku 25 riadenia disku odpamätané a z výstupu 25C bloku 25 riadenia disku spojené so vstupom B28 bloku 28 styku s diskom vyslané do diskovej pamäti. Stavové a chybové signály vybratej diskovej pamäti sú z výstupu 28B bloku 28 styku s diskom pripojené na vstup C25 bloku 25 riadenia disku, z ktorého sú cez výstupy 25A bloku 25 riadenia disku privedené na vstup B8 bloku 8 stavových signálov a riadiacim signálom z výstupu 11B bloku 11 dekódera riadiacich signálov, ktorý je spojený so vstupom A8 bloku 8 stavových signálov vyslané cez výstup 8A bloku 8 stavových signálov na vstup C12 bloku 12 aritmeticko-logickej jednotky, pričom stavový signál z diskovej pamäti potvrdzujúci vybratie adresovanej diskovej pamäti je zároveň z výstupu 25B bloku 25 riadenia disku pripojený na vstup B26 bloku 26 kódovania dát, v ktorom zabezpečuje elektrické pripojenie dátového kanála vybratej diskovej pamäti.

Ak sa má vykonať zápis dát do vybratej diskovej pamäti, blok 9 pamäti mikroprogramu zabezpečí, že adresa operačnej pamäti počítača, z ktorej majú byť dáta odpamätané v diskovej pamäti a ktorá je počítačom zadaná v systémovom registri je z výstupu 12B bloku 12 aritme-

ticko-logickej jednotky privedená na vstup A3 bloku 3 adresy operačnej pamäti a odpamätaná signálom, ktorý je generovaný na výstupe 11A bloku 11 dekódera riadiacich signálov spojený so vstupom B3 bloku 3 adresy operačnej pamäti a zároveň so vstupom B5 bloku 5 riadenia styku s počítačom, v dôsledku ktorého blok 5 riadenia styku s počítačom zabezpečí získanie riadenia nad systémovou zbernicou a výstupným signálom 5A bloku 5 riadenia styku s počítačom, ktorý je spojený so vstupom C3 bloku 3 adresy operačnej pamäti vyšle na systémovú zbernicu cez výstupy 3B bloku 3 adresy operačnej pamäti, ktoré sú spojené so vstupmi B1 bloku 1 styku s počítačom adresu operačnej pamäti počítača a súčasne smer prenosu cez výstup 3A bloku 3 adresy operačnej pamäti spojeného so vstupom C1 bloku 1 styku s počítačom. Blok dát z operačnej pamäti bude postupne odpamätovaný v bloku 17 vyrovnávacej pamäti od adresy, ktorá je určená blokom 14 adresy vyrovnávacej pamäti mikroprogramu. Táto adresa je určená blokom 9 pamäti mikroprogramu, pričom výstupy 12B bloku 12 aritmeticko-logickej jednotky sú spojené so vstupmi B14 bloku 14 adresy vyrovnávacej pamäti mikroprogramu, z ktorých je adresa odpamätaná riadiacim signálom vygenerovaným na výstupe 11A bloku 11 dekódera riadiacich signálov a privedený na vstup A14 bloku 14 adresy vyrovnávacej pamäti mikroprogramu. Ak dáta z operačnej pamäti sú systémovou zbernicou potvrdené, vygeneruje sa signál na výstupe 5A bloku 5 riadenia styku s počítačom, ktorý je spojený so vstupom C6 bloku 6 vstupných dát, ktorým sú dáta odpamätané z výstupu 1C bloku 1 s počítačom, ktorý je spojený so vstupom A6 bloku 6 vstupných dát, pričom na výstupe 5B bloku 5 riadenia styku s počítačom spojeného so vstupom B8 bloku 8 stavových signálov je vygenerovaný signál, ktorým je blok 9 pamäti mikroprogramu informovaný o tom, že dátové slovo je odpamätané v bloku 6 vstupných dát, pričom je na výstupe 11B bloku 11 dekódera riadiacich signálov spojeného so vstupom B6 bloku 6 vstupných dát vygenerovaný signál, ktorým sú vyslané dáta na výstup 6A bloku 6 vstupných dát spojeného so vstupom C12 bloku 12 aritmeticko-logickej jednotky, ktoré sú cez výstup 12B bloku 12 aritmeticko-logickej jednotky spojeného so vstupom C20 vstupného registra 20 vyrovnávacej pamäti odpamätané riadiacim signálom z výstupu 11A bloku 11 dekódera riadiacich signálov spojeného so vstupom B20 vstupného registra 20 vyrovnávacej pamäti a súčasne so vstupom C13 bloku 13 riadenia vyrovnávacej pamäti. Blok 13 riadenia vyrovnávacej pamäti zabezpečí cez výstup 13E bloku 13 riadenia vyrovnávacej pamäti spojeného so vstupom C18 bloku 18 výberu adresy, vybratie adresy tak, že na výstupe 18A bloku 18 výberu adresy spojeného so vstupmi C17 bloku 17 vyrovnávacej pamäti sa objaví adresa bloku 14 adresy vyrovnávacej pamäti mikroprogramu, pričom výstupný signál 13C bloku 13 riadenia vyrovnávacej pamäti spojený so vstupným signálom A20 vstupného registra 20 vyrovnávacej pamäti vyhradluje dáta cez výstupy 20A vstupného registra 20 vyrovnávacej pamäti na vstupy B17 bloku 17 vyrovnávacej pamäti, ktoré sa na danú adresu zapíšu signálom z výstupu 13B bloku 13 riadenia vyrovnávacej pamäti spojeného so vstupom A17 bloku 17 vyrovnávacej pamäti. Po zápise dát do bloku 17 vyrovnávacej pamäti je cez výstup 13A bloku 13 riadenia vyrovnávacej pamäti spojeného so vstupom C14 bloku 14 adresy vyrovnávacej pamäti mikroprogramu zvýšený obsah bloku 14 adresy vyrovnávacej pamäti.

Dáta odpamätané v bloku 17 vyrovnávacej pamäti sú autonómne prenášané do diskovej pamäti tým spôsobom, že blok 9 pamäti mikroprogramu prostredníctvom výstupu 12B bloku 12 aritmeticko-logickej jednotky spojeného so vstupmi B15 bloku 15 adresy vyrovnávacej pamäti disku nastaví adresu, ktorá sa odpamätá riadiacim signálom nastaveným na výstupe 11A bloku 11 dekódera riadiacich signálov spojeného so vstupom A15 bloku 15 adresy vyrovnávacej pamäti disku a súčasne spojeným so vstupom C13 bloku 13 riadenia vyrovnávacej pamäti, ktorý cez výstup 13E bloku 13 riadenia vyrovnávacej pamäti spojeného so vstupom C18 bloku 18 výberu adresy zabezpečí výber adresy bloku 15 adresy vyrovnávacej pamäti disku, ktorý je privedený cez výstupy 18A bloku 18 výberu adresy na vstupy C17 bloku 17 vyrovnávacej pamäti a zároveň cez výstup 13B bloku 13 riadenia vyrovnávacej pamäti spojeného so vstupom A17 bloku 17 vyrovnávacej pamäti je obsah z danej adresy privedený cez výstupy B17 bloku 17 vyrovnávacej pamäti na vstupy B21 vyrovnávacieho registra 21 zapisovaných dát kde je odpamätaný prepisovateľným signálom privedeným z výstupu 13D bloku 13 riadenia vyrovnávacej pamäti na vstup A21 vyrovnávacieho registra 21 zapisovaných dát. Počet slov, ktoré sa majú preniesť do diskovej pamäti a povel pre zápis dát, z výstupu 12B bloku 12 aritmeticko-logickej jednotky pripojeného na vstup D16 bloku 16 počtu slov sú odpamätané riadiacim signálom z výstupu 11A bloku

11 dekódera riadiacích signálov spojeného so vstupom C16 bloku 16 počtu slov. Odpamätaním povelu je cez výstup 16A bloku 16 počtu slov spojeného so vstupom B22 povolená činnosť bloku 22 posuvného registra a súčasne spojeného so vstupom B19 je povolená činnosť bloku 19 riadenia dát. Cez výstup 19B bloku 19 riadenia dát spojeného so vstupom A22 bloku 22 posuvného registra je riadený prepis dát z výstupu 21A vyrovnávacieho registra 21 zapisovaných dát spojeného so vstupom C22 do vľoku 22 posuvného registra. Zároveň výstupom 19B bloku 19 riadenia dát spojeným so vstupom A13 bloku 13 riadenia vyrovnávacej pamäti je vyžiadaný cyklus prepísania dát z bloku 17 vyrovnávacej pamäti do vyrovnávacieho registra 21 zapisovaných dát, pričom po každom prepise dát je zvýšená adresa bloku 15 adresy vyrovnávacej pamäti disku cez výstup 13A bloku 13 riadenia vyrovnávacej pamäti spojeného so vstupom C15 bloku 15 adresy vyrovnávacej pamäti disku. Zároveň výstupom 19B bloku 19 riadenia dát spojeného so vstupom A16 je zvyšovaný obsah bloku 16 počtu slov. Cez obojsmerný výstup D22 bloku 22 posuvného registra sú dáta sériovo vysielané na vstup A26 bloku 26 kódovania dát, v ktorom sú kódované metódou modifikovanej frekvenčnej modulácie, odkiaľ sú vysielané do diskovej pamäti cez výstup 26A bloku 26 kódovania dát spojeného so vstupom A28 bloku 28 styku s diskom. Zároveň sú sériovo vysielané dáta cez výstup 22A bloku 22 posuvného registra privedené na vstup B27 bloku 27 kontroly dát, kde sú dáta delené polynómom, ktorý má vlastnosť, že dokáže detekovať chybu a zároveň opraviť chybový zhľuk bloku dát.

Zvyšok po delení je z výstupu 27A bloku 27 kontroly dát vyslaný sériovo na vstup D26 bloku 26 kódovania dát, odkiaľ je vyslaný do diskovej pamäti. Vysielanie zvyšku je v bloku 27 kontroly dát riadené signálom privedeným z výstupu 19C bloku 19 riadenia dát spojeného so vstupom A27 bloku 27 kontroly dát. Činnosť bloku 19 riadenia dát je ukončená prenesením slov, počet ktorých bol nastavený v bloku 16 počtu slov. Ukončenie činnosti bloku 19 riadenia dát je hlásené stavovým signálom na výstupe 16C bloku 16 počtu slov, ktorý je spojený so vstupom B8 bloku 8 stavových signálov. Pri čítaní dát z diskovej pamäti je do bloku 16 počtu slov zadaný povel pre čítanie a zároveň počet slov, ktoré majú byť prenesené z diskovej pamäti, čím sa povolí činnosť bloku 19 riadenia dát a bloku 22 posuvného registra. Taktiež je do bloku 15 adresy vyrovnávacej pamäti disku nastavená adresa, od ktorej budú dáta čítané z diskovej pamäti ukladané do bloku 17 vyrovnávacej pamäti. Kódované dáta metódou modifikovanej frekvenčnej modulácie z diskovej pamäti prichádzajú z výstupu 28A bloku 28 styku s diskom na vstup C26 bloku 26 kódovania dát, kde dochádza k dekódovaniu dát.

Dekódované dáta sú z obojsmerného výstupu A26 bloku 26 kódovania dát privedené cez vstup D22 do bloku 22 posuvného registra, odkiaľ sú po sformovaní do slova privedené cez výstupy 22B bloku 22 posuvného registra na vstupy C23 vyrovnávacieho registra 23 čítaných dát, kde sú odpamätané signálom z výstupu 19A bloku 19 riadenia dát privedeného na vstup A23 vyrovnávacieho registra 23 čítaných dát. Zároveň s odpamätaním dát je cez výstup 19A bloku 19 riadenia dát privedená na vstup B13 bloku 13 riadenia vyrovnávacej pamäti žiadosť o odpamätanie dát z vyrovnávacieho registra 23 čítaných dát do bloku 17 vyrovnávacej pamäti. Túto operáciu zabezpečí blok 13 riadenia vyrovnávacej pamäti, ktorý pre blok 17 vyrovnávacej pamäti vyberie adresu z bloku 15 adresy vyrovnávacej pamäti disku a cez výstup 13C bloku 13 riadenia vyrovnávacej pamäti spojeného so vstupom B23 vyrovnávacieho registra 23 čítaných dát vyhradluje dáta cez výstup 23A na vstup B17 bloku 17 vyrovnávacej pamäti, v ktorom dôjde k ich odpamätaniu signálom privedeným z výstupu 13B bloku 13 riadenia vyrovnávacej pamäti na vstup A17 bloku 17 vyrovnávacej pamäti.

Po odpamätaní dát sa zvýši obsah bloku 16 počtu slov signálom privedeným z výstupu 19A bloku 19 riadenia dát na vstup B16 bloku 16 počtu slov. Zároveň blok 13 riadenia vyrovnávacej pamäti cez výstup 13A zabezpečí zvýšenie obsahu bloku 15 adresy vyrovnávacej pamäti disku cez vstup C15. Dekódované dáta sú zároveň z výstupu 22A bloku 22 posuvného registra privedené na vstup B27 kontroly dát, v ktorom sa vykoná kontrola správnosti prečítania bloku dát z disku. Táto kontrola je vyhodnotená na konci čítaného bloku dát signálom, ktorý je privedený z výstupu 19C bloku 19 riadenia dát na vstup A27 bloku 27 kontroly dát, pričom vyhodnotená chyba je z výstupu 27B bloku 27 kontroly dát privedená na vstup B8 bloku 8

stavových signálov. Ukončenie činnosti bloku 19 riadenia dát je rovnaké ako pri zápise dát.

Prenos dát odpamätaných v bloku 17 vyrovnávacej pamäti do operačnej pamäti počítača sa uskutočňuje tým spôsobom, že v bloku 14 adresy vyrovnávacej pamäti mikroprogramu sa nastaví počiatočná adresa pre blok 17 vyrovnávacej pamäti, od ktorej sa začne uskutočňovať prenos dát. Počiatočná adresa sa nastaví riadiacim signálom privedeným z výstupu 11A bloku 11 dekódera riadiacich signálov na vstup A14 bloku 14 adresy vyrovnávacej pamäti mikroprogramu, ktorý je taktiež privedený na vstup C13 bloku 13 riadenia vyrovnávacej pamäti, ktorým je vyvolaná žiadosť o prenos dát z bloku 17 vyrovnávacej pamäti do výstupného registra 24 vyrovnávacej pamäti. Na základe tejto žiadosti blok 13 riadenia vyrovnávacej pamäti vyberie pre blok 17 vyrovnávacej pamäti adresu určenú blokom 14 adresy vyrovnávacej pamäti mikroprogramu a zabezpečí vyslanie dát cez obojsmerný výstup B17 bloku 17 vyrovnávacej pamäti na vstup C24 výstupného registra 24 vyrovnávacej pamäti, kde sú odpamätané signálom privedeným z výstupu 13D bloku 13 riadenia vyrovnávacej pamäti na vstup B24 výstupného registra 24 vyrovnávacej pamäti. Signálom privedeným z výstupu 11B bloku 11 dekódera riadiacich signálov na vstup A24 výstupného registra 24 vyrovnávacej pamäti sú odpamätané dáta vyhradľované cez výstup 24A a sú privedené na vstup C12 bloku 12 aritmeticko-logickej jednotky, odkiaľ sú cez výstup 12B privedené na vstup A2 bloku 2 výstupných dát, kde sú odpamätané signálom privedeným z výstupu 11A bloku 11 dekódera riadiacich signálov na vstup B2 bloku 2 výstupných dát. Po nastavení adresy operačnej pamäti a smere prenosu v bloku 3 adresy operačnej pamäti a po získaní riadenia blokom 5 riadenia styku s počítačom sú dáta z bloku 2 výstupných dát, ako aj adresa operačnej pamäti z bloku 3 adresy operačnej pamäti vyslané do počítača signálom privedeným z výstupu 5A bloku 5 riadenia styku s počítačom na vstup C3 bloku 3 adresy operačnej pamäti a taktiež na vstup C2 bloku 2 výstupných dát.

Zapojenie riadiaceho modulu vonkajších pamätí je použité v riadiacej jednotke malých diskových pamätí typu Winchester (RJ MDP-W) pre počítače rady SMEP so systémovou zbernicou Spoločná zbernica.

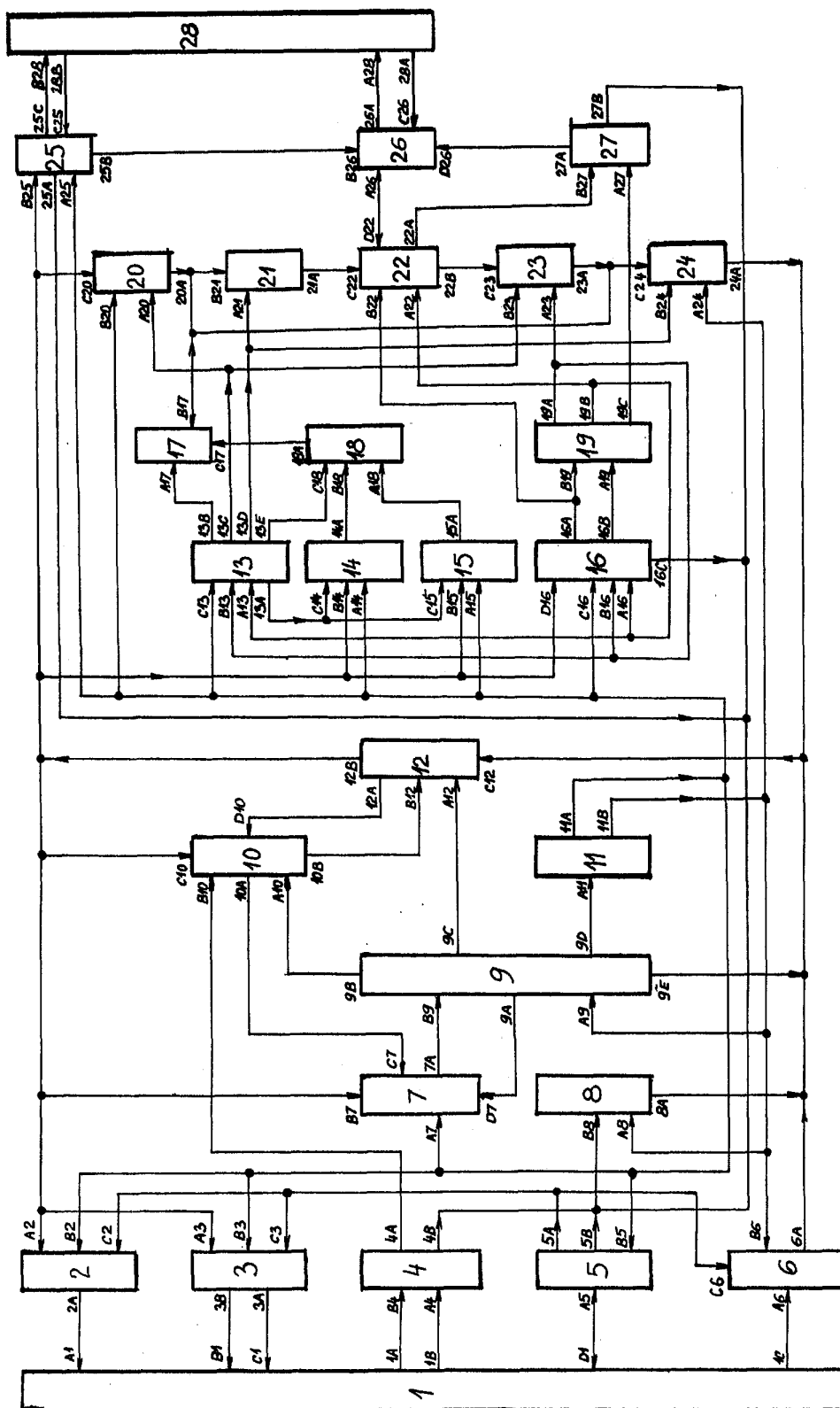
P R E D M E T V Y N Á L E Z U

Zapojenie riadiaceho modulu vonkajších pamätí vyznačujúce sa tým, že výstupy (9C) bloku (9) pamäti mikroprogramu sú spojené so vstupmi (A12) bloku (12) aritmeticko-logickej jednotky, zatiaľ čo výstupy (9B) bloku (9) pamäti mikroprogramu sú spojené so vstupmi (A10) bloku (10) výberu podmienky, pričom výstupy (9D) bloku (9) pamäti mikroprogramu sú spojené so vstupmi (A11) bloku (11) dekódera riadiacich signálov, zatiaľ čo výstupy (9A) bloku (9) pamäti mikroprogramu sú spojené so vstupmi (D7) bloku (7) riadenia mikroprogramu, pričom výstupy (12B) bloku (12) aritmeticko-logickej jednotky sú spojené so vstupmi (A2) bloku (2) výstupných dát a tiež so vstupmi (A3) bloku (3) adresy operačnej pamäti a ďalej tiež so vstupmi (B7) bloku (7) riadenia mikroprogramu a tiež so vstupmi (C10) bloku (10) výberu podmienky a ďalej tiež so vstupmi (B14) bloku (14) adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupmi (B15) bloku (15) adresy vyrovnávacej pamäti disku a ďalej tiež so vstupmi (D16) bloku (16) počtu slov a tiež so vstupom (C20) vstupného registra (20) vyrovnávacej pamäti a ďalej tiež so vstupmi (B25) bloku (25) riadenia disku, zatiaľ čo výstupy (11A) bloku (11) dekódera riadiacich signálov sú spojené so vstupom (B2) bloku (2) výstupných dát a tiež so vstupom (B3) bloku (3) adresy operačnej pamäti a ďalej tiež so vstupom (A7) bloku (7) riadenia mikroprogramu a tiež so vstupmi (B5) bloku (5) riadenia styku s počítačom a ďalej tiež so vstupom (C16) bloku (16) počtu slov a tiež so vstupom (A15) bloku (15) adresy vyrovnávacej pamäti disku a ďalej tiež so vstupom (A14) bloku (14) adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupmi (C13) bloku (13) riadenia vyrovnávacej pamäti a ďalej tiež so vstupom (B20) vstupného registra (20) vyrovnávacej pamäti a tiež so vstupom (A25) bloku (25) riadenia disku, zatiaľ čo vstupy (C12) bloku (12) aritmeticko-logickej jednotky sú spojené s výstupmi (6A) bloku (6) vstupných dát a tiež s výstupmi (8A) bloku (8) stavových signálov a ďalej tiež s výstupmi (9E) bloku (9) pamäti mikroprogramu a tiež

s výstupmi (24A) výstupného registra (24) vyrovnávacej pamäti, pričom výstupy (11B) bloku (11) dekódera riadiacich signálov sú spojené so vstupom (B6) bloku (6) vstupných dát a tiež so vstupom (A8) bloku (8) stavových signálov a ďalej tiež so vstupom (A9) bloku (9) pamäti mikroprogramu a tiež so vstupom (A24) výstupného registra (24) vyrovnávacej pamäti, zatiaľ čo vstupy (B8) bloku (8) stavových signálov sú spojené s výstupmi (4B) bloku (4) dekódera adresy a tiež s výstupmi (5B) bloku (5) riadenia styku s počítačom a ďalej tiež s výstupmi (25A) bloku (25) riadenia disku a tiež s výstupom (27B) bloku (27) kontroly dát a ďalej tiež s výstupom (16C) bloku (16) počtu slov, pričom výstup (4A) bloku (4) dekódera adresy je spojený so vstupom (B10) bloku (10) výberu podmienky, zatiaľ čo výstup (10A) bloku (10) výberu podmienky je spojený so vstupom (C7) bloku (7) riadenia mikroprogramu, pričom výstupy (12A) bloku (12) aritmeticko-logickej jednotky sú spojené so vstupmi (D10) bloku (10) výberu podmienky, zatiaľ čo výstup (10B) bloku (10) výberu podmienky je spojený so vstupom (B12) bloku (12) aritmeticko-logickej jednotky, pričom výstupy (7A) bloku (7) riadenia mikroprogramu sú spojené so vstupmi (B9) bloku (9) pamäti mikroprogramu, zatiaľ čo výstupy (5A) bloku (5) riadenia styku s počítačom sú spojené so vstupom (C3) bloku (3) adresy operačnej pamäti a tiež so vstupom (C2) bloku (2) výstupných dát a ďalej tiež so vstupom (C6) bloku (6) vstupných dát, pričom výstupy (2A) bloku (2) výstupných dát sú spojené so vstupmi (A1) bloku (1) styku s počítačom, zatiaľ čo výstupy (3B) bloku (3) adresy operačnej pamäti sú spojené so vstupmi (B1) bloku (1) styku s počítačom, pričom výstup (3A) bloku (3) adresy operačnej pamäti je spojený so vstupom (C1) bloku (1) styku s počítačom, zatiaľ čo vstup (B4) bloku (4) dekódera adresy sú spojené s výstupmi (1A) bloku (1) styku s počítačom, pričom vstup (A4) bloku (4) dekódera adresy je spojený s výstupom (1B) bloku (1) styku s počítačom, zatiaľ čo obojsmerné vstupy (A5) bloku (5) riadenia styku s počítačom sú spojené s obojsmernými vstupmi (D1) bloku (1) styku s počítačom, pričom vstupy (A6) bloku (6) vstupných dát sú spojené s výstupmi (1C) bloku (1) styku s počítačom, zatiaľ čo výstupy (16A) bloku (16) sú spojené so vstupmi (B19) bloku (19) riadenia dát a tiež so vstupmi (B22) bloku (22) posuvného registra, pričom výstupy (16B) bloku (16) počtu slov sú spojené so vstupmi (A19) bloku (19) riadenia dát, zatiaľ čo výstup (19A) bloku (19) riadenia dát je spojený so vstupom (A23) vyrovnávacieho registra (23) čítaných dát a tiež so vstupom (B16) bloku (16) počtu slov a ďalej tiež so vstupom (B13) bloku (13) riadenia vyrovnávacej pamäti, pričom výstup (19B) bloku (19) riadenia dát je spojený so vstupom (A22) bloku (22) posuvného registra a tiež so vstupom (A16) bloku (16) počtu slov a ďalej tiež so vstupom (A13) bloku (13) riadenia vyrovnávacej pamäti, zatiaľ čo výstupy (19C) bloku (19) riadenia dát sú spojené so vstupmi (A27) bloku (27) kontroly dát, pričom výstup (13A) bloku (13) riadenia vyrovnávacej pamäti je spojený so vstupom (C14) bloku (14) adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupom (C15) bloku (15) adresy vyrovnávacej pamäti disku, zatiaľ čo výstupy (13B) bloku (13) riadenia vyrovnávacej pamäti sú spojené so vstupmi (A17) bloku (17) vyrovnávacej pamäti, pričom výstupy (13C) bloku (13) riadenia vyrovnávacej pamäti sú spojené so vstupom (A20) vstupného registra (20) vyrovnávacej pamäti a tiež so vstupom (B23) vyrovnávacieho registra (23) čítaných dát, zatiaľ čo výstupy (13D) bloku (13) riadenia vyrovnávacej pamäti sú spojené so vstupom (A21) vyrovnávacieho registra (21) zapisovaných dát a tiež so vstupom (B24) výstupného registra (24) vyrovnávacej pamäti, pričom výstup (13E) bloku (13) riadenia vyrovnávacej pamäti je spojený so vstupom (C18) bloku (18) výberu adresy, zatiaľ čo výstupy (14A) bloku (14) adresy vyrovnávacej pamäti mikroprogramu sú spojené so vstupmi (B18) bloku (18) výberu adresy, pričom výstupy (15A) bloku (15) adresy vyrovnávacej pamäti disku sú spojené so vstupmi (A18) bloku (18) výberu adresy pričom výstupy (18A) bloku (18) výberu adresy sú spojené so vstupmi (C17) bloku (17) vyrovnávacej pamäti, zatiaľ čo obojsmerné vstupy (B17) bloku (17) vyrovnávacej pamäti sú spojené s výstupmi (20A) vstupného registra (20) vyrovnávacej pamäti a tiež so vstupmi (B21) vyrovnávacieho registra (21) zapisovaných dát a ďalej tiež s výstupmi (23A) vyrovnávacieho registra (23) čítaných dát a tiež so vstupmi (C24) výstupného registra (24) vyrovnávacej pamäti, pričom výstupy (21A) vyrovnávacieho registra (21) zapisovaných dát sú spojené so vstupmi (C22) bloku (22) posuvného registra, zatiaľ čo výstupy (22B) bloku (22) posuvného registra sú spojené so vstupmi (C23) vyrovnávacieho registra (23) čítaných dát, pričom obojsmerné vstupy (D22) bloku (22) posuvného registra sú spojené s obojsmernými vstupmi (A26) bloku (26) kódovania dát, zatiaľ čo výstup (22A) bloku (22) posuvného

registra je spojený so vstupom (B27) bloku (27) kontroly dát, pričom výstup (27A) bloku (27) kontroly dát je spojená so vstupom (D26) bloku (26) kódovania dát, zatiaľ čo výstup (25B) bloku (25) riadenia disku je spojený so vstupom (B26) bloku (26) kódovania dát, pričom vstupy (C25) bloku (25) riadenia disku sú spojené s výstupmi (28B) bloku (28) styku s diskom, pričom výstupy (25C) bloku (25) riadenia disku sú spojené so vstupmi (B28) bloku (28) styku s diskom, zatiaľ čo výstupy (26A) bloku (26) kódovania dát sú spojené so vstupmi (A28) bloku (28) styku s diskom, pričom vstupy (C26) bloku (26) kódovania dát sú spojené s výstupmi (28A) bloku (28) styku s diskom.

1 výkres



ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVEDČENIU

267 061

(21) PV 3969-86.L
(22) Prihlášené 30 05 86

(40) Zverejnené 12 05 89
(45) Vydané 14 12 90

(11)

(13) B1

(51) Int. Cl.⁴
H 01 R 9/09

(75)

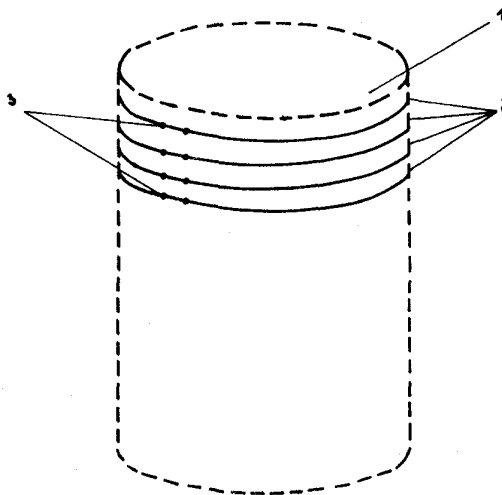
Autor vynálezu

ZNAMENÁČEK ZDENEK ing., LAJDA JAROSLAV ing.,
ŠTĚPÁNEK JAROSLAV ing., HEGLAS LADISLAV prom. fyz., ŽILINA

(54)

Valcový rozvod vodivých spojov medzi doskami plošných spojov

(57) Zariadenie je možné použiť v elektro-
nických prístrojoch s väčším počtom dosiek
plošných spojov. Rieši problém rovnakej a
minimálnej dĺžky vodivých spojov medzi dos-
kami plošných spojov. Podstata vynálezu spo-
číva vo valcovom usporiadaní spojov medzi
doskami plošných spojov s tým, že dosky ploš-
ných spojov sa radiálne rozbiehajú od valca
s vodivými spojmí. Zariadenie je možné využiť
pri konštrukcii číslicovo riadených testerov
integrovaných obvodov, kde sú veľké nároky
na presné časovanie vstupných signálov a ča-
sovo presné snímanie výstupných signálov z
testovaného prvku.



Obr. 1

Vynález sa týka valcového rozvodu vodivých spojov medzi doskami plošných spojov. Zariadenie tohto typu sa používa v elektronických prístrojoch, ktoré obsahujú viac dosiek plošných spojov a tieto dosky sú navzájom prepojené vodivými spojmi.

Doterajšie zariadenia pre rozvod vodivých spojov medzi doskami plošných spojov používajú rozvod vodivých spojov v rovinnom usporiadaní. Nevýhoda tohto usporiadania sa prejaví vtedy, ak dosky plošných spojov nie sú navzájom rovnobežné, ale sú rozmiestnené radiálne s cieľom dosiahnuť čo najmenšiu vzájomnú vzdialenosť jednej strany dosiek. Takéto usporiadanie je typické napr. pre testery integrovaných obvodov. Pri radiálnom usporiadaní plošných spojov s rovinným usporiadaním prepojujúcich vodivých spojov signály umiestnené bližšie ku geometrickému stredu sú prepojené kratšími vodivými spojmi ako body vzdialenejšie od geometrického stredu. Toto je nevhodné pre vedenie elektrických signálov, ak sú náročné na presný vzájomný časový súvis. Nerovnaká dĺžka vodivých spojov môže spôsobiť relatívne veľký rozdiel v oneskorení prenosu signálu. Tento rozdiel je potom nutné korigovať prídavnými oneskorovacími členmi.

Ďalšou nevýhodou rovinného usporiadania vodivých spojov pri radiálnom rozložení dosiek plošných spojov je obtiažne alebo nemožné použitie prostriedkov automatizovaného návrhu pre realizáciu vodivých spojov, pretože pripojovacie body pre pripojenie konektorov neležia v rastrovom kroku, ktorý sa používa v systémoch pre automatizovaný návrh vodivých spojov.

Vyššie uvedené nedostatky odstraňuje valcový rozvod vodivých spojov medzi doskami plošných spojov podľa vynálezu, ktorého podstata spočíva v tom, že vodivé spoje sú realizované na valcovej matičnej doske plošných spojov. Dosky plošných spojov sa radiálne rozbiehajú od valcovej matičnej dosky plošných spojov.

Zariadenie s vodivými spojmi umiestnenými na matičnej doske má tú výhodu, že prípojné body pre konektor ľubovoľnej dosky plošných spojov majú rovnakú vzdialenosť k odpovedajúcim prípojným bodom na iných doskách plošných spojov. Vodivé spoje medzi doskami plošných spojov sa dajú realizovať tak, aby boli rovnocenné z hľadiska prenosu elektrického signálu.

Ďalšia výhoda zariadenia podľa vynálezu je v tom, že vodivé spoje majú minimálnu dĺžku akú je možné medzi doskami plošných spojov dosiahnuť. To znamená, že oneskorenie signálov je nielen rovnaké pre rôzne spoje, ale súčasne je aj minimálne.

Vodivé spoje sa dajú realizovať na pružnej doske plošných spojov v rozvinutom stave, k čomu je možné bezproblémovo použiť prostriedky automatizovaného návrhu plošných spojov.

Na obr. 1 je schématicky znázornené zariadenie s valcovou matičnou doskou plošných spojov, 1 valcová doska plošných spojov, 2 vodivý spoj, 3 prípojný bod pre konektor.

Príklad realizácie zariadenia pre rozvod vodivých spojov medzi doskami plošných spojov s vodivými spojmi na valcovej doske plošných spojov je na obr. 2. Na pružnú dosku plošných spojov 5 sa vyleptajú vodivé spoje 2 a vyvrtajú sa otvory 3 na uchytienie konektorov. Do otvorov sa prilepujú konektory 4. Pružná doska plošných spojov aj s osadenými konektormi sa zvinie do valca, tak aby konektory boli na vonkajšej strane valca. Konektory sa uchytia o upevňovací prstenec 6 na hornej a spodnej časti valca.

Takto realizované zariadenie je pripravené na pripojenie dosiek plošných spojov.

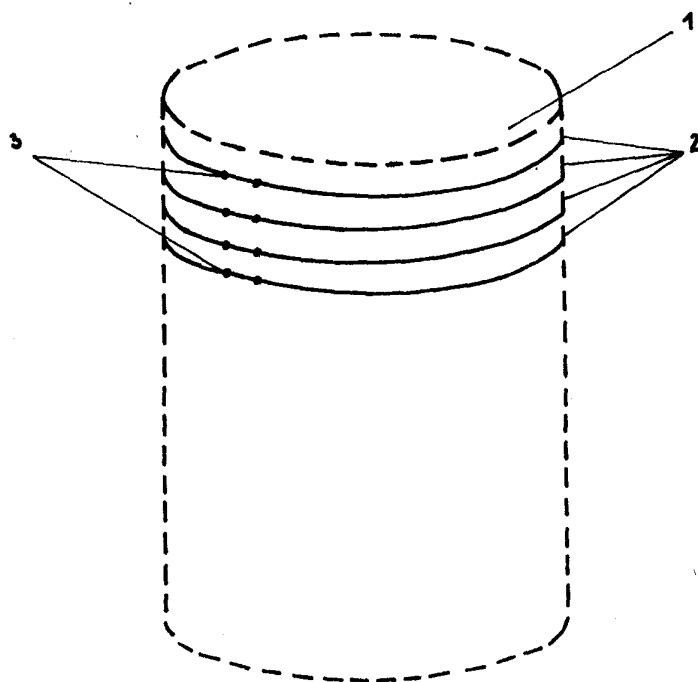
P R E D M E T V Ý N Á L E Z U

1. Valcový rozvod vodičových spojov medzi doskami plošných spojov pozostávajúce z konektorov pre pripojenie dosiek plošných spojov a prepojovacej siete medzi vývodmi konektorov vyznačujúca sa tým, že prepojovacia sieť (2) s pripojnými bodmi (3) pre pripojenie konektorov (4) je vedená na valcovej ploche (1), pričom konektory (4) sú umiestnené na vonkajšej strane valcovej plochy (1).

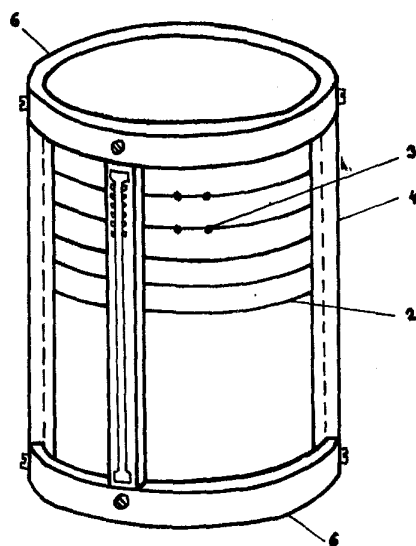
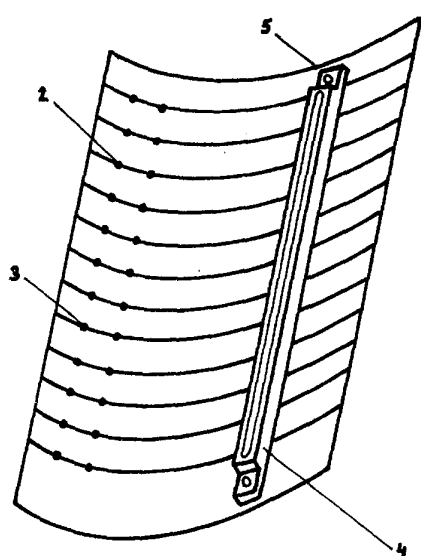
2. Valcový rozvod podľa bodu 1 vyznačujúce sa tým, že prepojovacia sieť (2) je vytvorená pružným plošným spojom (5).

1 výkres

267 061



Obr. 1



Obr. 2

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

267 154

(11)

(13) B1

(51) Int. Cl.⁴
G 06 F 13/38//
G 06 F 13/14

(21) PV 9073-86.W
(22) Prihlášené 09 12 86

(40) Zverejnené 13 06 89
(45) Vydané 14 12 90

(75)

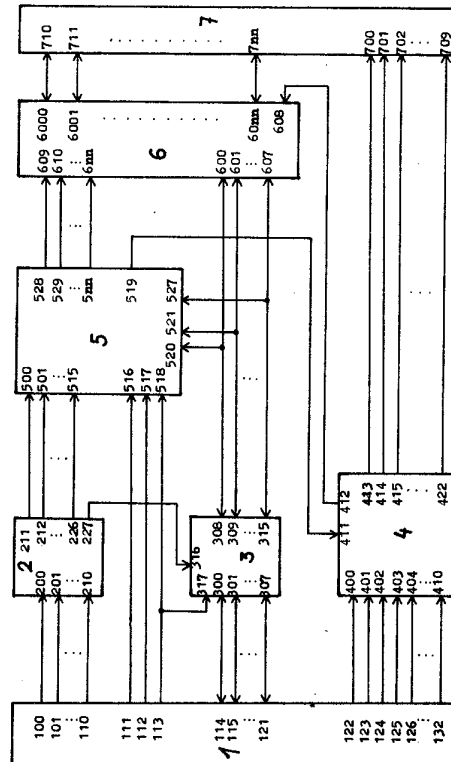
Autor vynálezu

BÍZIK JÁN ing., ŠIKULINEC VLADIMÍR ing., ŽILINA

(54)

Zapojenie pre simuláciu systémovej zbernice osobných počítačov

(57) Zapojenie pre simuláciu systémovej zbernice osobných počítačov umožňuje generovať stavy, ktoré nastávajú na systémovej zbernici počítača a čas trvania týchto stavov je ovládaný programovo. V zapojení sú použité jednoduché súčiastky číslicového charakteru a zapojenie je ovládané pomocou osobného počítača, ktorého zbernicu simuluje.



CS 267 154 B1

Vynález sa týka zapojenia pre simuláciu systémovej zbernice osobných počítačov, ktorých riešenie je založené na synchronnej spoločnej systémovej zbernici.

Doterajšie zapojenie pre simuláciu systémovej zbernice boli nahradzované rôznymi inými zapojeniami. Napríklad príznakovými analyzátormi, generátormi pulzov, alebo jednoduchými prípravkami ovládanými manuálne. Ani jedno z týchto zapojení však nerieši celkový problém, ktorý spočíva v tom, že by bola možnosť nastaviť rozsiahlu množinu signálov do určitej logickej úrovne vo veľmi krátkom čase (závislé od rýchlosti samotného osobného počítača) a tieto logické úrovne dynamicky meniť a opäť ich kontrolovať. Príznakový analyzátor slúži len na kontrolu signálov ale negeneruje dynamicky (ani staticky) logické úrovne. Generátory pulzov sú zase omedzené počtom generovaných signálov a už vôbec nekontrolujú žiadne logické úrovne. Manuálne prípravky by mohli slúžiť pre nastavenie voľného počtu logických úrovní aj ich opäť kontrolovať ale práca s nimi by bola určite pomalá.

Vyššie uvedené nedostatky odstraňuje zapojenie pre simuláciu systémovej zbernice osobných počítačov podľa vynálezu, ktorého podstata spočíva v tom, že adresné výstupy systémovej zbernice počítača sú pripojené na vstupy dekóderu adres, riadiace výstupy systémovej zbernice počítača sú pripojené na riadiace vstupy bloku riadenia a na smerový výstup V/V budiča dát, dátové vývody systémovej zbernice počítača sú spojené s dátovými vývodmi V/V budiča dát, zbernicové vývody sústavy V/V registrov a budičov sú spojené so zbernicovými konektormi simulovanej zbernice a riadiace výstupy systémovej zbernice počítača sú spojené s riadiacimi vstupmi bloku refresh, adresné výstupy systémovej zbernice počítača sú spojené so vstupmi bloku refresh, refreshovacie výstupy bloku refresh sú spojené s refreshovacími vstupmi simulovanej zbernice pre zabezpečenie obnovovacieho cyklu pre dynamické pamäte.

Podstata zapojenia spočíva v tom, že zapojenie spolu s osobným počítačom tvorí výkonný nástroj pre generovanie veľkej množiny logických úrovní na simulovanej zbernici. Jednotlivé logické úrovne môžu byť dynamicky menené a kontrolované pomocou samotného počítača a tento stav môže byť zobrazovaný na monitore počítača alebo zaznamenávaný na disk resp. iné výstupné zariadenie.

Zapojenie pre simuláciu systémovej zbernice podľa tohoto vynálezu je výhodné preto, lebo používa len jednoduché číslicové súčiastky, má jednoduché výrobné a oživovacie vlastnosti a používa počítač, ktorého zbernicu simuluje, ako nosný systém.

Na pripojenom výkrese je naznačené zapojenie pre simuláciu systémovej zbernice podľa tohoto vynálezu.

Zapojenie pre simuláciu zbernice tvorí dekódér 2 adres, ktorého vstupy 200, 201 až 210 sú pripojené na adresné výstupy 100, 101 až 110 systémovej zbernice 1 počítača. Dekódované adresné výstupy 211, 212 až 226 dekóderu 2 adres sú spojené s riadiacimi vstupmi 500, 501 až 515 bloku 5 riadenia a riadiace výstupy 528, 529 až 5nn bloku 5 riadenia sú pripojené na ovládacie vstupy 609, 610 až 6nn sústavy 6 V/V registrov a budičov. Povoľovací výstup 227 dekóderu 2 adres je spojený s povoľovacím vstupom 316 V/V budiča 3 dát. Riadiace vstupy 516, 517, 518 bloku 5 riadenia sú spojené s riadiacimi výstupmi 111, 112, 113 systémovej zbernice 1 počítača. Riadiaci výstup 113 systémovej zbernice 1 počítača je tiež spojený so smerovým vstupom 317 V/V budiča 3 dát. Riadiace vstupy 400, 401, 402 bloku 4 refresh sú spojené s riadiacimi výstupmi 122, 123, 124 systémovej zbernice 1 počítača a vstupy 403, 404 až 410 bloku 4 refresh sú spojené s adresnými výstupmi 125, 126 až 132 systémovej zbernice 1 počítača. Riadiaci výstup 519 bloku 5 riadenia je pripojený na ovládaci vstup 411 bloku 4 "refresh" a signalizačný výstup 412 bloku 4 refresh je spojený so signalizačným vstupom 608 sústavy 6 V/V registrov a budičov. Refreshovacie výstupy 413, 414, 415 až 422 bloku 4 refresh sú spojené s refreshovacími vstupmi 700, 701, 702 až 709 simulovanej zbernice 7. Dátové vývody 114, 115 až 121 systémovej zbernice 1 počítača sú spojené s dátovými vývodmi 300, 301 až 307 V/V budiča 3 dát a dátové vývody 308, 309 až 315 V/V budiča 3 dát sú pripojené k dátovým vývodom 600, 601 až 607 sústavy 6 V/V registrov a budičov a ďalej k dátovým

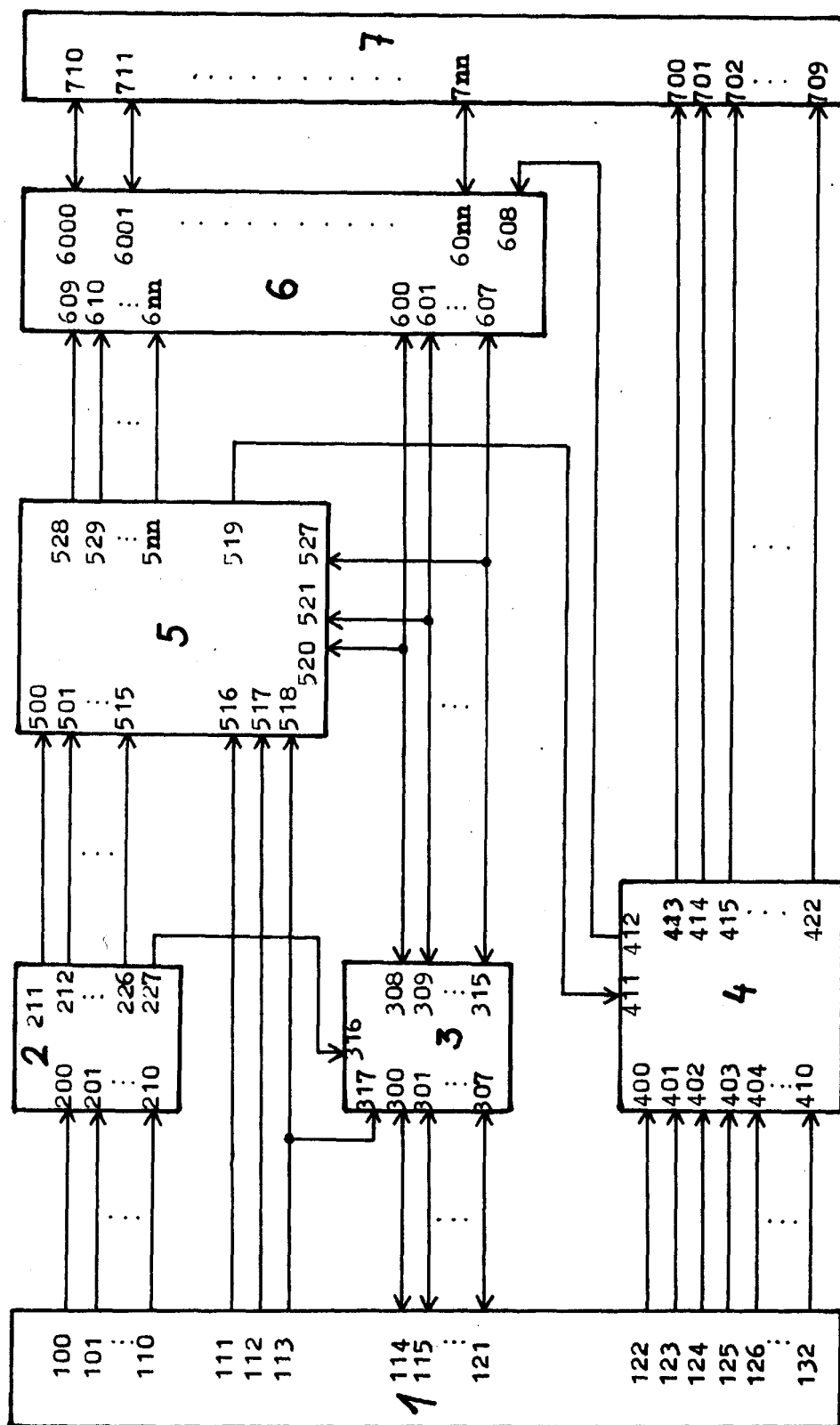
vstupom 520, 521 až 527 bloku 5 riadenia. Zbernicové vývody 6 000, 6 001 až 60nn sústavy 6 V/V registrov a budičov sú spojené so zbernicovými konektormi 710, 711 až 7nn simulovanej zbernice 7.

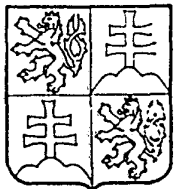
Zapojenie pre simuláciu zbernice pracuje tak, že logické úrovne adresných výstupov 100, 101 až 110 systémovej zbernice 1 počítača sú privedené na vstupy 200, 201 až 210 dekódera 2 adres. Pri určitých kombináciách logických úrovní adresných výstupov 100, 101 až 110 sa aktivuje povalovací výstup 227 a vždy jeden z dekódovaných adresných výstupov 211, 212 až 226 dekódera 2 adres. Privedením určitej postupnosti logických úrovní na riadiace vstupy 516, 517, 518 bloku 5 riadenia a zároveň na smerový vstup 317 a dátové vývody 300, 301 až 307 V/V budiča 3 dát sa logické úrovne na dátových vývodoch 300, 301 až 307 privedú na dátové vstupy 520, 521 až 527 bloku 5 riadenia čím sa tento nastaví do požadovaného režimu. Po nastavení bloku 5 riadenia, uvedením určitej postupnosti logických úrovní na riadiace vstupy 500, 501 až 518 bloku 5 riadenia sa aktivuje jeden alebo viac riadiacich výstupov 528, 529 až 5nn a táto hodnota je privedená na ovládacie vstupy 609, 610 až 6nn sústavy 6 V/V registrov a budičov a zároveň je dátová hodnota na dátových vývodoch 114, 115 až 121 privedená na dátové vývody 600, 601 až 607 alebo opačne. Prevedením opakovaného počtu takýchto operácií, vždy pri inej kombinácii adresných výstupov 100, 101 až 110, sa zapíše sústava 6 V/V registrov a budičov určitými logickými hodnotami alebo sa tieto môžu spätne čítať. Uvedením ovládacích vstupov 609, 610 až 6nn do vhodnej kombinácie sa môže obsah sústavy 6 V/V registrov a budičov previesť priamo na zbernicové konektory 710, 711 až 7nn simulovanej zbernice 7 alebo obsah zbernicových konektorov 710, 711 až 7nn sa môže zapísať do sústavy 6 V/V registrov a budičov alebo priamo sú privedené obsahy zbernicových konektorov 710, 711 až 7nn cez sústavu 6 V/V registrov a budičov a V/V budič 3 dát na dátové vývody 114, 415 až 121 systémovej zbernice 1 počítača. Privedením určitej hodnoty na ovládací vstup 411 bloku 4 refresh sú priamo logické úrovne riadiacich výstupov 123, 124 a adresných výstupov 125, 126 až 132 systémovej zbernice 1 počítača privedené cez blok 4 refresh na refreshovacie vstupy 700, 701, až 709 simulovanej zbernice 7. Stav bloku 4 refresh je indikovaný na signalizačnom výstupe 412, ktorého logická úroveň môže byť privedená cez sústavu 6 V/V registrov a budičov a cez V/V budič 3 dát na dátový vývod 114 systémovej zbernice 1 počítača.

Zapojenie pre simuláciu systémovej zbernice osobných počítačov podľa tohoto vynálezu umožňuje generovať a ovládať programovo zbernicové stavy spolu so zabezpečovaním refreshovacieho cyklu pre dynamické pamäte. Zapojenie pre simuláciu systémovej zbernice osobných počítačov takto môže slúžiť pre oživovanie a testovanie modulov, z ktorých sa skladajú osobné počítače. Pomocou tohoto zapojenia je oživovanie a testovanie modulov urýchlené a často môže nahradiť drahé testovacie prístroje a systémy.

P R E D M E T V Y N Á L E Z U

Zapojenie pre simuláciu systémovej zbernice osobných počítačov, vyznačujúce sa tým, že adresné výstupy (100, 101 až 110) systémovej zbernice (1) počítača sú pripojené na vstupy (200, 201 až 210) dekóderu (2) adres, riadiace výstupy (111, 112, 113) systémovej zbernice (1) počítača sú pripojené na riadiace vstupy (516, 517, 518) bloku (5) riadenia a na smerový vstup (317) V/V budiča (3) dát, dátové vývody (114, 115 až 121) systémovej zbernice (1) počítača sú spojené s dátovými vývodmi (300, 301 až 307) V/V budiča (3) dát, zbernicové vývody (6 000, 6 001 až 60nn) sústavy (6) V/V registrov a budičov sú spojené so zbernicovými konektormi (710, 711 až 7nn) simulovanej zbernice (7) a riadiace výstupy (122, 123, 124) systémovej zbernice (1) počítača sú spojené s riadiacimi vstupmi (400, 401, 402) bloku (4) refresh, adresné výstupy (125, 126 až 132) systémovej zbernice (1) počítača sú spojené so vstupmi (403, 404 až 410) bloku (4) refresh, výstupy (413, 414, 415 až 422) bloku (4) refresh sú spojené so vstupmi (700, 701, 702 až 709) simulovanej zbernice (7).





FEDERÁLNY ÚRAD
PRE VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍU

269 557

(11)

(13) B1

(51) Int. Cl.⁴

G 05 B 15/00

G 05 B 15/02

(21) PV 7992 - 87.H

(22) Prihlášené 09 11 87

(40) Zverejnené 12 09 89

(45) Vydané 29 01 91

(75) Autor vynálezu

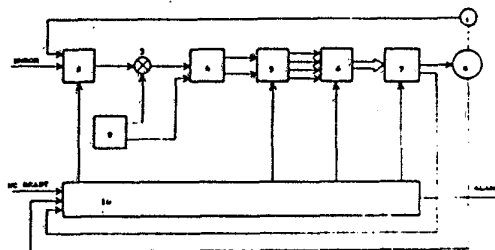
VRABEC DOMINIK ing., STRÁŇANY,
MAZÁK MARIÁN ing.,
MIHÁLIK MIROSLAV ing.,
VALICA JÁN ing.,
LÍŠKA ROMAN, ŽILINA

(54)

Zapojenie regulátora riadenia pohonov s tranzistorovým impulzovým meničom

(57)

Úloha rieši zapojenie regulátora riadenia pohonu posuvu s využitím tranzistorového impulzového meniča. Zapojenie je vytvorené tak, že signál z mikropočítačového riadiaceho systému a z tachogenerátora je privedený na vstup regulačného vstupného zosilňovača, ktorého výstup vstupuje do sumačného člena s výstupným signálom z generátora sínusového a pilového priebehu. Výstup sumačného člena je privedený na jeden vstup prevodníka napäťovej úrovnne na šírku impulzu a na jeho druhý vstup je privedený druhý výstupný signál z generátora sínusového a pilového priebehu. Dvojica z výstupu prevodníka vstupuje do logickej impulzovej časti, z ktorej vystupuje štvorica impulzných signálov, ktoré vstupujú do budiacich obvodov tranzistorového impulzového meniča, ktorého výstup je pripojený na servomotor. Do alarmovej časti vstupujú z tranzistorového impulzového meniča a servomora dva alarmové signály a signál z mikropočítačového riadiaceho systému. Z alarmovej časti vystupujú signály do regulačného vstupného zosilňovača, logickej impulzovej časti, budiacich obvodov, tranzistorového impulzového meniča a mikropočítačového riadiaceho systému.



Vynález rieši zapojenie regulátora riadenia pohonov s tranzistorovým impulzovým meničom, predovšetkým pre pohon posuvu.

V súčasnej dobe sa jednosmerné pohony realizujú dvoma druhmi polovodičových výkonových prvkov, pomocou ktorých sa realizujú pohony s tyristorovými riadenými usmerňovačmi a pohony s tranzistorovými impulzovými meničmi. Najrozšírenejšie sú pohony s tyristorovými meničmi, pričom tranzistorové meniče sa zatiaľ používajú iba pre malé výkony. Z regulačného hľadiska väčšie možnosti poskytujú práve tranzistorové meniče. To je dané tým, že tranzistory vypínajú bez prídavných obvodov a dovoľujú pracovať na podstatne vyšších frekvenciách. Pritom nie sú závislé od frekvencie a okamžitého napätia napájacej siete. Predstavujú prvky, ktorých vlastností sa z regulačného hľadiska najviac približujú ideálnym. Oproti tyristorom majú tú výhodu, že sú veľmi rýchle. Z týchto dôvodov sú súčasne pohony posuvu s tyristorovými meničmi pomalšie, majú menšiu presnosť a nižšie dynamické vlastnosti ako pohon s tranzistorovým meničom. Podstatnému rozšíreniu použitia tranzistorov bránili len ich nedostatočné parametre, hlavne výkonové. V posledných rokoch sa ich vlastnosti a parametre podstatne zlepšili. Svetoví výrobcovia v súčasnosti ponúkajú tranzistory pre spínanie prúdu do 500 A a záverné napätie sa pohybuje až do 2000 V. Československá súčiastková základňa ponúka výkonové tranzistory pre spínanie prúdu do 400 A so záverným napätím do 1000 V. Preto je voľba výkonového polovodičového meniča jednoznačná v prospech tranzistorových meničov.

Vyššie uvedené nedostatky odstraňuje zapojenie regulátora podľa vynálezu, ktorého podstata spočíva v tom, že výstupný signál z mikropočítačového riadiaceho systému a výstup spätnoväzbového signálu rýchlosti z tachogenerátora je privedený na vstup regulačného vstupného zosilňovača, ktorého výstup vstupuje do sumačného člena spolu so sínusovým signálom, z výstupu generátora sínusového a pilového priebehu. Výstup sumačného člena je privedený na jeden vstup prevodníka napäťovej úrovne na šírku impulzu a na jeho druhý vstup je privedený referenčný pilový signál z výstupu generátora sínusového a pilového priebehu. Z výstupu prevodníka napäťovej úrovne na šírku impulzu dvojica impulzových signálov vstupuje do logickej impulzovej časti, z ktorej vystupuje štvorica impulzových signálov, ktoré vstupujú do budiacich obvodov výkonových tranzistorov tranzistorového impulzového meniča, ktorým sa napája servomotor. Do alarmovej časti vstupujú z tranzistorového impulzového meniča a servomotora dva alarmové signály a signál z mikropočítačového riadiaceho systému. Z alarmovej časti vystupujú blokovacie signály do regulačného vstupného zosilňovača, logickej impulzovej časti, budiacich obvodov, tranzistorového impulzového meniča a mikropočítačového riadiaceho systému.

Výhodou zapojenia regulátora pre pohon posuvu je zvýšenie rýchlosti, presnosti a zlepšenie dynamických vlastností pohonu. Je vhodné predovšetkým pre stroje riadené mikropočítačom.

Na pripojenom výkrese je znázornená bloková schéma zapojenia podľa vynálezu.

V zapojení regulátora riadenia pohonov s tranzistorovým impulzovým meničom je na vstup regulačného vstupného zosilňovača 2 zapojený výstup riadiaceho napätia rýchlosti z mikropočítačového riadiaceho systému a výstup spätnoväzbového signálu rýchlosti z tachogenerátora 1. Výstup regulačného vstupného zosilňovača 2 je pripojený na prvý vstup sumačného člena 3. Na druhý vstup sumačného člena 3 je pripojený výstup generátora 9 sínusového a pilového priebehu. Výstup sumačného člena 3 je pripojený na jeden vstup prevodníka 4 napäťovej úrovne na šírku impulzu. Na druhý vstup prevodníka 4 napäťovej úrovne na šírku impulzu je pripojený výstup generátora 9 sínusového a pilového priebehu. Dvojica výstupov z prevodníka 4 napäťovej úrovne na šírku impulzu vstupuje do logickej impulzovej časti 5. Štvorica výstupov z logickej impulzovej časti 5 je pripojená do budiacich obvodov 6. Výstup budiacich obvodov 6 je pripojený do impulzového meniča 7, ktorého výstup je pripojený na servomotor 8. Na vstup alarmovej časti 10 je pripojený výstupný signál z mikropočítačového riadiaceho systému a výstupy z impulzového meniča 7 a servomotora 8. Výstupy alarmovej časti 10 sú pripojené na regulačný vstupný zosilňovač 2, do logickej impulzovej časti 5, do budiacich obvodov 6, do impulzového meniča 7 a do nadradeného mikropočítačového systému.

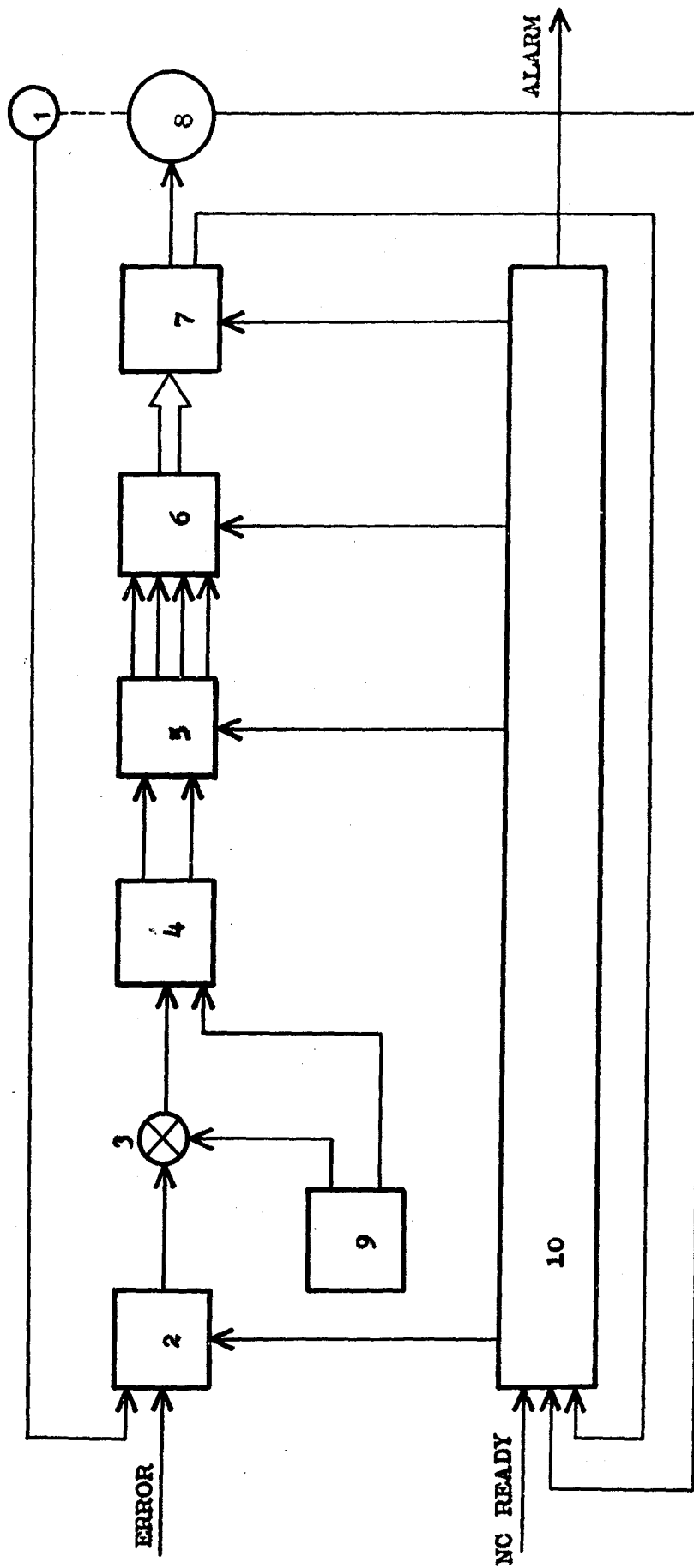
Funkcia zapojenia regulátora riadenia pohonov s tranzistorovým impulzovým meničom spočíva v tom, že na vstup regulačného vstupného zosilňovača 2 je zapojený signál ERROR - výstup riadiaceho napätia rýchlosti z mikropočítačového riadiaceho systému a výstup spätnoväzbového signálu rýchlosti z tachogenerátora 1. Na výstupe regulačného vstupného zosilňovača sčítaním a integrovaním signálov ERROR - výstupu riadiaceho napätia rýchlosti z mikropočítačového riadiaceho systému a výstupu spätnoväzbového signálu rýchlosti z tachogenerátora 1 sa vytvorí chybový signál, ktorý sa v sumačnom člene 3 sčítava so sínusovým signálom pre kompenzáciu mechanických vibrácií riadeného stroja z výstupu generátora 9 sínusového a pilového priebehu. Takto vzniknutý signál je privedený na jeden vstup prevodníka 4 napäťovej úrovne na šírku impulzu, kde porovnaním z referenčným pilovým signálom z výstupu generátora 9 sínusového a pilového priebehu, ktorý je privedený na druhý vstup prevodníka 4 napäťovej úrovne na šírku impulzu sa prevedie na šírku dvojice impulzových signálov vzájomne opačných a posunutých o 180° . Dvojica impulzových signálov po zosilnení vstupuje do logickej impulzovej časti 5, v ktorej sa z nej vytvorí štvorica impulzových signálov pre budiaci obvod 6 výkonových tranzistorov tranzistorového impulzového meniča 7, ktorým sa napája servomotor 8. Alarmová časť 10 zabezpečuje nadprúdovú a tepelnú ochranu tranzistorového impulzového meniča 7 a servomotora 8. V prípade prekročenia dvojnásobného prúdu výkonovými tranzistorami tranzistorového impulzového meniča 7 alebo celkového prúdu servomotorom 8 alebo v prípade prekročenia pracovnej teploty výkonových tranzistorov tranzistorového impulzového meniča 7 alebo pracovnej teploty servomotora 8 dochádza súčasne k zablokovaniu činnosti regulačného vstupného zosilňovača 2, logickej impulzovej časti 5, budiacich obvodov 6, tranzistorového impulzového meniča 7 a súčasne signálom ALARM z výstupu alarmovej časti 10, ktorý je privedený do mikropočítačového riadiaceho systému a výkonovej napájacej jednotky dochádza k odpojeniu tranzistorového impulzového meniča 7 od napájacieho zdroja a súčasne dochádza k zablokovaniu riadiaceho napätia rýchlosti z mikropočítačového riadiaceho systému, z ktorého výstupným signálom NC READY sa ovláda alarmová časť 10 a tým celý regulačný systém pre mikropočítačové riadenie pohonov s tranzistorovým impulzovým meničom.

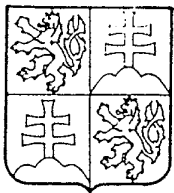
Zapojenie regulátora podľa vynálezu je vhodné predovšetkým pre kresliace zariadenia, digigrafy, roboty, manipulátory a obrábacie stroje.

P R E D M E T V Y N Á L E Z U

Zapojenie regulátora riadenia pohonov s tranzistorovým impulzovým meničom vyznačuje sa tým, že výstup riadiaceho napätia rýchlosti z mikropočítačového riadiaceho systému a výstup spätnoväzbového signálu rýchlosti z tachogenerátora (1) sú pripojené na vstupy regulačného vstupného zosilňovača (2), ktorého výstup je pripojený na prvý vstup sumačného člena (3), na ktorého druhý vstup je pripojený výstup generátora (9) sínusového a pilového priebehu, výstup sumačného člena (3) je pripojený na prvý vstup prevodníka (4) napäťovej úrovne na šírku impulzu, na ktorého druhý vstup je pripojený druhý výstup generátora (9) sínusového a pilového priebehu a výstupy prevodníka (4) napäťovej úrovne na šírku impulzu sú pripojené na vstupy logickej impulzovej časti (5), ktorej štyri výstupy sú pripojené na štyri vstupy budiacich obvodov (6), ktorých výstupy sú pripojené na vstup tranzistorového impulzového meniča (7), ktorého výstup je pripojený na servomotor (8), pričom na vstupy ochrannej alarmovej časti (10) sú pripojené výstupy tranzistorového impulzového meniča (7) a servomotora (8) a blokovací výstup z mikropočítačového riadiaceho systému a výstupy alarmovej časti sú pripojené na vstupy regulačného vstupného zosilňovača (2), logickej impulzovej časti (5), budiacich obvodov (6) a tranzistorového impulzového meniča (7).

CS 269557 B1





FEDERÁLNY ÚRAD
PRE VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVEDČENIU

269 598

(11)

(13) B1

(51) Int. Cl.⁴
G 06 F 12/02

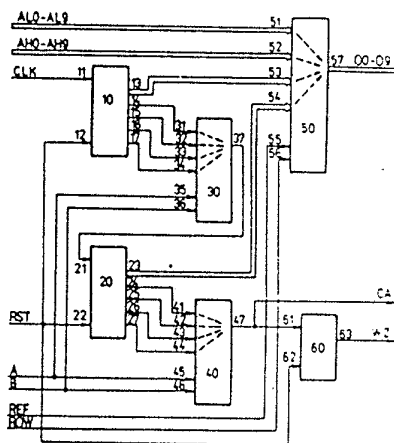
(21) PV 4362-88.S
(22) Prihlásené 22 06 88

(40) Zverejnené 12 09 89
(45) Vydané 29 01 91

(75) Autor vynálezu KIRNER JOZEF ing.,
LAJDA JAROSLAV ing., ŽILINA

(54) Generátor adresy pre dynamické pamäte

(57) Riešeným problémom je zapojenie generátora adresy pre dynamické pamäte, ktorý zabezpečuje generovanie adresných bitov pre dynamické pamäte 16Kl, 64Kl, 256Kl a 1Ml vo všetkých režimoch ich činnosti a ktorý zabezpečuje indikáciu vykonávania inicializačného zápisu v pamäťovom zariadení so samočinnou detekciou a opravou chýb. Podstatou riešenia je zapojenie, ktoré generuje adresný znak o dĺžke 10 bitov, signál indikácie vykonávania inicializačného zápisu v pamäťovom zariadení a signál prenosu nahor. Zapojenie, ktoré je možné realizovať ako monolitický integrovaný obvod na báze hradlového poľa HP 200 je určené pre použitie vo všetkých číslicových pamäťových zariadeniach v mikropočítačoch a minipočítačoch, ktoré pre svoju činnosť využívajú dynamické pamäťové integrované obvody, ďalej v číslicových obvodoch, ktoré využívajú asynchrónne binárne čítače s funkciou počítania vpred s nastaviteľnou dĺžkou 14, 16, 18 a 20 bitov a ďalej v číslicových obvodoch, ktoré využívajú dvojkanálový desaťbitový multiplexer.



Vynález sa týka generátora adresy pre dynamické pamäte 16Kl, 64Kl, 256Kl a 1Ml.

V doteraz známych pamäťových zariadeniach s dynamickými pamäťami 16Kl, 64Kl a 256Kl je generátor adresy pre dynamické pamäte realizovaný dvanástimi integrovanými obvodmi MSI TTL, alebo je realizovaný integrovanými obvodmi VLSI TTL, ktoré nie sú vyrábané v štátoch RVHP a ktoré nemôžu byť použité v pamäťových zariadeniach s dynamickými pamäťami 1Ml, alebo je realizovaný integrovanými obvodmi MHB 207/0203 a MHB 206/0204, ktoré nemôžu byť použité v pamäťových zariadeniach s dynamickými pamäťami 256Kl a 1Ml. Nedostatkom týchto zapojení generátora adresy pre dynamické pamäte je použitie uvedeného počtu integrovaných obvodov MSI TTL, nedostupnosť integrovaných obvodov VLSI TTL a ich nemožnosť použitia v pamäťových zariadeniach s dynamickými pamäťami 256Kl a 1Ml.

Uvedené nedostatky odstraňuje generátor adresy pre dynamické pamäte, ktorého podstatou je to, že vstup desaťbitového znaku adresy riadku je pripojený na prvý vstup tretieho multiplexera, vstup desaťbitového znaku adresy stĺpca je pripojený na druhý vstup tretieho multiplexera, hodinový vstup je pripojený na prvý vstup prvého desaťbitového binárneho čítača, vstup nulovania čítačov je pripojený na druhý vstup prvého desaťbitového čítača, na druhý vstup druhého desaťbitového čítača, na druhý vstup dvojbitového binárneho čítača, prvý vstup adresy kanálu prvého a druhého multiplexera je pripojený na piaty vstup prvého multiplexera a na piaty vstup druhého multiplexera, druhý vstup adresy kanálu prvého a druhého multiplexera je pripojený na šiesty vstup prvého multiplexera a na šiesty vstup druhého multiplexera, prvý vstup adresy kanálu tretieho multiplexera je pripojený na piaty vstup tretieho multiplexera, druhý vstup adresy kanálu tretieho multiplexera je pripojený na šiesty vstup tretieho multiplexera, prvý výstup prvého desaťbitového binárneho čítača je pripojený na tretí vstup tretieho multiplexera, druhý výstup prvého desaťbitového binárneho čítača je pripojený na prvý vstup prvého multiplexera, tretí výstup prvého desaťbitového binárneho čítača je pripojený na druhý vstup prvého multiplexera, štvrtý výstup prvého desaťbitového binárneho čítača je pripojený na tretí vstup prvého multiplexera, piaty výstup prvého desaťbitového binárneho čítača je pripojený na štvrtý vstup prvého multiplexera, výstup prvého multiplexera je pripojený na prvý vstup druhého desaťbitového binárneho čítača, prvý výstup druhého desaťbitového binárneho čítača je pripojený na štvrtý vstup tretieho multiplexera, druhý výstup druhého desaťbitového binárneho čítača je pripojený na prvý vstup druhého multiplexera, tretí výstup druhého desaťbitového binárneho čítača je pripojený na druhý vstup druhého multiplexera, štvrtý výstup druhého desaťbitového binárneho čítača je pripojený na tretí vstup druhého multiplexera, piaty výstup druhého desaťbitového binárneho čítača je pripojený na štvrtý vstup druhého multiplexera, výstup druhého multiplexera je pripojený na výstup prenosu nahor a na prvý vstup dvojbitového binárneho čítača, výstup tretieho multiplexera je pripojený na výstup desaťbitového adresného znaku, výstup dvojbitového binárneho čítača je pripojený na výstup druhého bitu dvojbitového binárneho čítača.

Hlavnou výhodou generátora adresy pre dynamické pamäte je to, že ako nomolitický integrovaný obvod na báze hradlového poľa HP 200 predstavuje samostatný konštrukčný prvok, ktorý zabezpečuje prepínanie desaťbitového adresného znaku riadku a desaťbitového adresného znaku stĺpca pre dynamické pamäte, generovanie sedembitového adresného znaku pre dynamické pamäte 16Kl, osembitového adresného znaku pre dynamické pamäte 64Kl, deväťbitového adresného znaku pre dynamické pamäte 256Kl a desaťbitového adresného znaku pre dynamické pamäte 1Ml v režime inicializačného zápisu, indikáciu vykonávania inicializačného zápisu v pamäťovom zariadení so samočinnou detekciou a opravou chýb, generovanie adresného znaku v režime obnovenia informácie v dynamických pamätiach.

Na pripojenom výkrese je znázornená schéma generátora adresy pre dynamické pamäte podľa vynálezu.

Generátor adresy pre dynamické pamäte, realizovaný obvodom štvorkanálového desaťbitového multiplexera, ktorý je určený hlavne pre prepínanie štyroch desaťbitových adresných znakov v režime zápisu informácie, čítania informácie, inicializačného zápisu informácie a obnovenia informácie v pamäťových zariadeniach, obvodom dvoch desaťbitových synchronných čítačov, ktoré sú zaradené do série cez jeden štvorkanálový jednobitový multiplexer a ktoré sú určené hlavne pre generovanie adresného znaku pre dynamické pamäte 16Kl, 64Kl, 256Kl a 1Ml v režime obnovenia informácie a v režime inicializačného zápisu, obvodom dvojbitového asynchrónneho čítača, ktorý je spojený s druhým desaťbitovým asynchrónnym binárnym čítačom cez jeden štvorkanálový jednobitový multiplexer a ktorý je určený hlavne pre generovanie signálu indikácie vykonávania inicializačného zápisu informácie v pamäťovom zariadení, je zapojený tak, že vstup desaťbitového znaku adresy riadku ALO-AL9 je pripojený na prvý vstup 51 tretieho multiplexera 50, vstup desaťbitového znaku adresy riadku AHO-AH9 je pripojený na druhý vstup 52 tretieho multiplexera 50, hodinový vstup CLK je pripojený na prvý vstup 11 prvého desaťbitového binárneho čítača 10, vstup nulovania čítačov RST je pripojený na druhý vstup 12 prvého desaťbitového binárneho čítača 10, na druhý vstup 22 druhého desaťbitového binárneho čítača 20, na druhý vstup 62 dvojbitového binárneho čítača 60, prvý vstup adresy kanálu prvého a druhého multiplexera A je pripojený na piaty vstup 35 prvého multiplexera 30 a na piaty vstup 45 druhého multiplexera 40, druhý vstup adresy kanálu prvého a druhého multiplexera B je pripojený na šiesty vstup 36 prvého multiplexera 30 a na šiesty vstup 46 druhého multiplexera 40, prvý vstup adresy kanálu tretieho multiplexera REF je pripojený na piaty vstup 55 tretieho multiplexera 50, druhý vstup adresy kanálu tretieho multiplexera ROW je pripojený na šiesty vstup 56 tretieho multiplexera 50, prvý výstup 11 prvého desaťbitového binárneho čítača 10 je pripojený na tretí vstup 53 tretieho multiplexera 50, druhý výstup 14 prvého desaťbitového binárneho čítača 10 je pripojený na prvý vstup 31 prvého multiplexera 30, tretí výstup 15 prvého desaťbitového binárneho čítača 10 je pripojený na druhý vstup 32 prvého multiplexera 30, štvrtý výstup 16 prvého desaťbitového binárneho čítača 10 je pripojený na tretí vstup 33 prvého multiplexera 30, piaty výstup 17 prvého desaťbitového binárneho čítača 10 je pripojený na štvrtý vstup 34 prvého multiplexera 30, výstup 37 prvého multiplexera 30 je pripojený na prvý vstup 21 druhého desaťbitového binárneho čítača 20, prvý výstup 23 druhého desaťbitového čítača 20 je pripojený na štvrtý vstup 54 tretieho multiplexera 50, druhý výstup 24 druhého desaťbitového binárneho čítača 20 je pripojený na prvý vstup 41 druhého multiplexera 40, tretí výstup 25 druhého desaťbitového binárneho čítača 20 je pripojený na druhý vstup 42 druhého multiplexera 40, štvrtý výstup 26 druhého desaťbitového binárneho čítača 20, je pripojený na tretí vstup 43 druhého multiplexera 40, piaty výstup 27 druhého desaťbitového binárneho čítača 20 je pripojený na štvrtý vstup 44 druhého multiplexera 40, výstup 47 druhého multiplexera 40 je pripojený na výstup prenosu nahor CA a na prvý vstup 61 dvojbitového binárneho čítača 60, výstup 57 tretieho multiplexera 50 je pripojený na výstup desaťbitového adresného znaku 00-09, výstup 63 dvojbitového binárneho čítača 60 je pripojený na výstup druhého bitu dvojbitového binárneho čítača WZ.

V režime čítania alebo zápisu pri komunikácii pamäťového zariadenia s inými zariadeniami počítačového systému je dolná polovica štrnásťbitového znaku adresy pre dynamické pamäte 16Kl, dolná polovica šesťnásťbitového znaku adresy pre dynamické pamäte 64Kl, dolná polovica osemnásťbitového znaku adresy pre dynamické pamäte 256Kl alebo dolná polovica dvadsaťbitového znaku adresy pre dynamické pamäte 1Ml pripojená cez vstup desaťbitového znaku adresy riadku ALO-AL9 na prvý vstup 51 tretieho multiplexera 50 a horná polovica štrnásťbitového znaku adresy pre dynamické pamäte 16Kl, horná polovica šesťnásťbitového znaku adresy pre dynamické pamäte 64Kl, horná polovica osemnásťbitového znaku adresy pre dynamické pamäte 256Kl a horná polovica dvad-

desaťbitového znaku adresy pre dynamické pamäte 1M1 je pripojená cez vstup desaťbitového znaku adresy AHO-AH9 na druhý vstup 52 tretieho multiplexera 50, pričom nie sú s vonkajšími obvodmi pre prenos adresného znaku v pamäťovom zariadení spojené pre dynamické pamäte 16Kl bity AL7, AL8, AL9, pre dynamické pamäte 64Kl bity AL8, AL9, pre dynamické pamäte 256Kl bit AL9 vstupu desaťbitového znaku adresy riadku ALO-AL9 a tiež nie sú s vonkajšími obvodmi pre prenos adresného znaku v pamäťovom zariadení spojené pre dynamické pamäte 16Kl bity AH7, AH8, AH9, pre dynamické pamäte 64Kl bity AH8, AH9, pre dynamické pamäte 256Kl bit AH9 vstupu desaťbitového znaku adresy stĺpca AHO-AH9. Prenos dolnej polovice znaku adresy z prvého vstupu 51 tretieho multiplexera 50 na výstup 57 tretieho multiplexera 50 alebo hornej polovice znaku adresy z druhého vstupu 52 tretieho multiplexera 50 na výstup 57 tretieho multiplexera 50 je určený binárnou hodnotou signálov pripojených cez prvý vstup adresy kanálu tretieho multiplexera REF na piaty vstup 55 tretieho multiplexera 50 a cez druhý vstup adresy kanálu tretieho multiplexera ROW na šiesty vstup 56 tretieho multiplexera 50. Hodinovým signálom pripojeným cez hodinový vstup CLK na prvý vstup 11 prvého desaťbitového binárneho čítača 10 sa vykonáva zvyšovanie binárnej hodnoty desaťbitového znaku adresy na prvom výstupe 13 prvého desaťbitového binárneho čítača 10. Aby generátor adresy pre dynamické pamäte v režime obnovenia s vykonávaním detekcie a korekcie chýb a v režime inicializačného zápisu v pamäťovom zariadení generoval adresu pamäťového miesta pre každý typ dynamickej pamäte z typov 16Kl, 64Kl, 256Kl a 1M1 v celej ich kapacite zvyšovaním adresy pamäťového miesta vždy o plus jedna je hodinový signál pre druhý čítač prenášaný na prvý vstup 21 druhého desaťbitového binárneho čítača cez prvý multiplexer 30 z ďalej uvedených výstupov prvého desaťbitového binárneho čítača 10. Na prvý vstup 21 druhého desaťbitového binárneho čítača 20 je cez prvý multiplexer 30 prenášaná pre dynamické pamäte 16Kl hodnota siedmeho bitu z druhého výstupu 14 prvého desaťbitového čítača 10, pre dynamické pamäte 64Kl hodnota ôsmeho bitu z tretieho výstupu 15 prvého desaťbitového binárneho čítača 10, pre dynamické pamäte 256Kl hodnota deviateho bitu zo štvrtého výstupu 16 prvého desaťbitového binárneho čítača 10 a pre dynamické pamäte 1M1 hodnota desiateho bitu z piateho výstupu 17 prvého desaťbitového binárneho čítača 10. Prenos jedného z uvedených bitov cez prvý multiplexer 30 je určený binárnou hodnotou signálov privedených cez prvý vstup adresy kanálu prvého a druhého multiplexera A na piaty vstup 15 prvého multiplexera 10 a cez druhý vstup adresy kanálu prvého a druhého multiplexera B na šiesty vstup 16 prvého multiplexera 10.

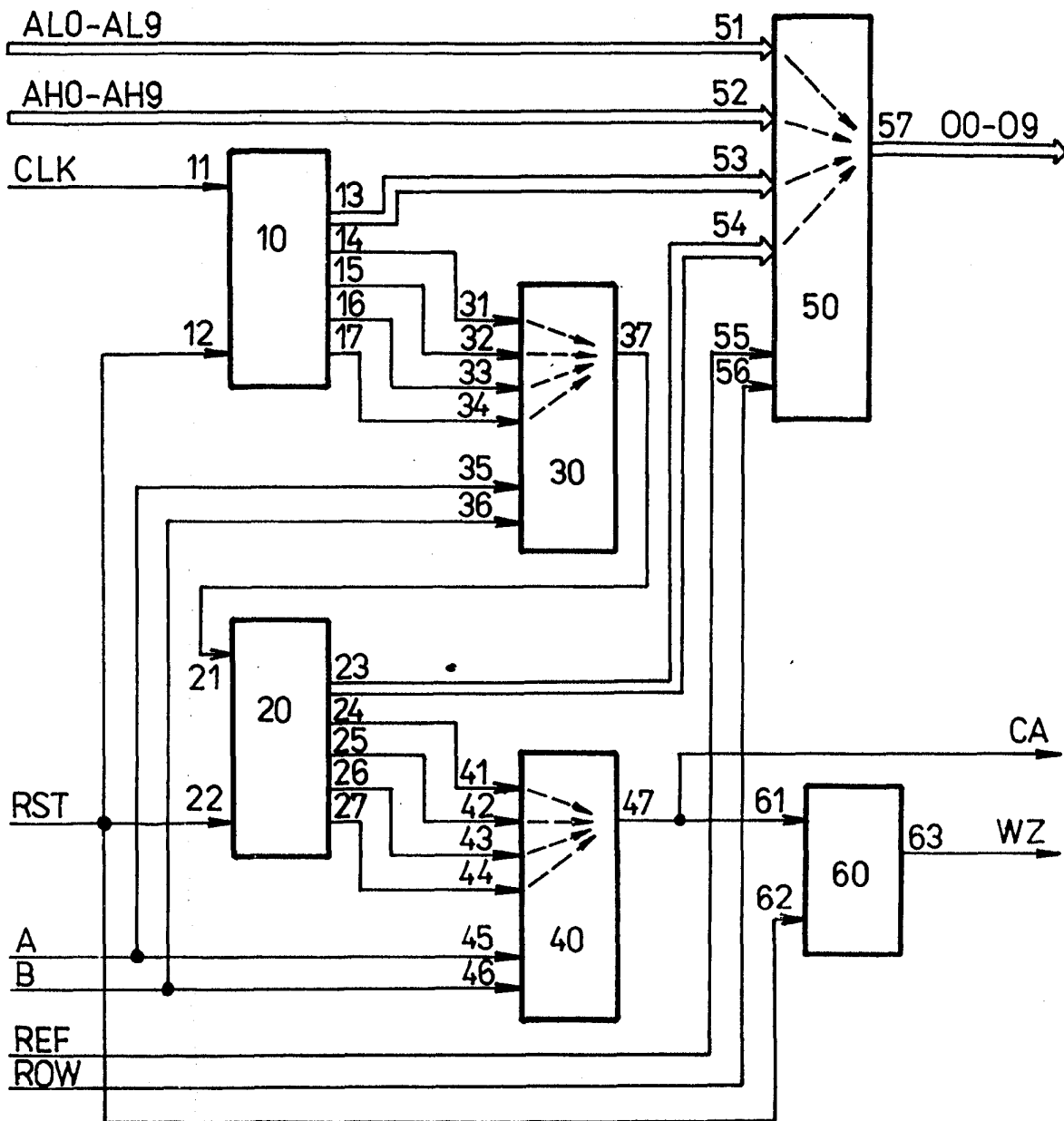
Signál na výstupe druhého bitu dvojbitového binárneho čítača WZ umožňuje indikáciu a určenie doby vykonávania potrebného počtu cyklov v režime inicializačného zápisu v pamäťovom zariadení pre každý typ dynamickej pamäte z typov 16Kl, 64Kl, 256Kl a 1M1. Nízkou logickou úrovňou signálu, ktorý je privedený cez vstup nulovania čítačov RST na druhý vstup 12 prvého desaťbitového binárneho čítača 10, na druhý vstup 22 druhého desaťbitového binárneho čítača 20 a na druhý vstup 62 dvojbitového binárneho čítača 60 sa výstup druhého bitu dvojbitového binárneho čítača WZ nastaví do nízkej logickej úrovne a hodinový signál pre dvojbitový binárny čítač 60 na výstupe 47 druhého multiplexera 40 sa nastaví do vysokej logickej úrovne. Po uvoľnení prvého desaťbitového binárneho čítača 10, druhého desaťbitového binárneho čítača 20 a dvojbitového binárneho čítača 60 vysokou logickou úrovňou signálu na vstupe nulovania čítačov RST sa signál na výstupe druhého bitu dvojbitového binárneho čítača WZ nastaví do vysokej logickej úrovne po druhej zmene z nízkej logickej úrovne do vysokej logickej úrovne hodinového signálu na výstupe 47 druhého multiplexera, ktorý je pripojený na prvý vstup 61 dvojbitového binárneho čítača 60. Na prvý vstup 61 dvojbitového binárneho čítača 60 je cez druhý multiplexer 40 prenášaná pre dynamické pamäte 16Kl hodnota siedmeho bitu z druhého výstupu 24 druhého desaťbitového čítača 20, pre dynamické pamäte 64Kl hodnota ôsmeho bitu z tretieho výstupu 25 druhého desaťbitového binárneho čítača 20, pre dynamické pamäte 256Kl hodnota deviateho bitu zo štvrtého výstupu 26 druhého desaťbitového binárneho čítača 20 a pre dynamické pamäte 1M1 hodnota desiateho bitu z piateho

ho výstupu 27 druhého desaťbitového binárneho čítača 20. Dvojbitový binárny čítač 60 ukončí počítanie po nastavení vysokej úrovne signálu na výstupe druhého bitu dvojbitového binárneho čítača WZ a tento signál v uvedenej hodnote zotrvá. Funkcia vyššie popísaného zapojenia zabezpečuje, že signál na výstupe druhého bitu dvojbitového binárneho čítača sa nastaví do vysokej logickej úrovne po vykonaní dvoch cyklov v režime inicializačného zápisu na každom pamäťovom mieste každého vyššie uvedeného typu dynamickú pamäte.

Signál na výstupe prenosu nahor QA, ktorý je pripojený na výstup 47 druhého multiplexera 40 a na prvý vstup 61 dvojbitového binárneho čítača 60 môže byť použitý ako hodinový signál pre obvod vonkajšieho čítača spolupracujúceho s generátorom adresy pre dynamickú pamäte podľa tohoto vynálezu.

P R E D M E T V Y N Á L E Z U

Generátor adresy pre dynamickú pamäte sa vyznačuje tým, že vstup desaťbitového znaku adresy riadku (ALO-AL9) je pripojený na prvý vstup (51) tretieho multiplexera (50), vstup desaťbitového znaku adresy stĺpca (AHO-AH9) je pripojený na jeho druhý vstup (52) a hodinový vstup (CLK) je pripojený na prvý vstup (11) prvého čítača, vstup nulovania čítačov (RST) je pripojený na jeho druhý vstup (12), na druhý vstup (22) druhého čítača (20), a na druhý vstup (62) dvojbitového čítača (60), prvý vstup adresy kanálu prvého a druhého multiplexera (A) je pripojený na piaty vstup (35) prvého multiplexera (30) a na piaty vstup (45) druhého multiplexera (40), druhý vstup adresy kanálu prvého a druhého multiplexera (B) je pripojený na šiesty vstup (36) prvého multiplexera (30) a na šiesty vstup (46) druhého multiplexera (40), ďalej prvý vstup adresy kanálu tretieho multiplexera (REF) je pripojený na piaty vstup (55) tretieho multiplexera (50), pričom druhý vstup adresy kanálu tretieho multiplexera (ROM) je pripojený na jeho šiesty vstup (56), prvý výstup (13) prvého čítača (10) je pripojený na tretí vstup (53) tretieho multiplexera (50), pričom výstupy (14 až 17) prvého čítača (10) sú pripojené na vstupy (31 až 34) prvého multiplexera (30), ktorého výstup (37) je pripojený na prvý vstup (21) druhého čítača (20), ktorého prvý výstup (23) je pripojený na štvrtý vstup (54) tretieho multiplexera (50), pričom výstupy (24 až 27) druhého čítača (20) sú pripojené na vstupy (41 až 44) druhého multiplexera (40), ktorého výstup (47) je pripojený na výstup (CA) a na prvý vstup (61) binárneho čítača (60), výstup (57) tretieho multiplexera (50) je pripojený na výstup desaťbitového adresného znaku (OO-09) a výstup (63) binárneho čítača (60) je pripojený na výstup druhého bitu dvojbitového binárneho čítača (WZ).



Obvod riadenia cyklu a prenosu informácie pre dvojportové pamäťové zariadenie

Číslo patentu: 271741

Dátum: 14.11.1990

Autori: Kirner Jozef, Lajda Jaroslav

MPK: G06F 12/00

Značky: prenosu, obvod, cyklu, informácie, riadenia, pamäťové, dvojportové, zariadenie

Obvod riadenia cyklu a prenosu informácie pre dvojportové pamäťové zariadenie

Podobne patenty | MPK / Značky | Text | Odkaz

Číslo patentu: 271741

Dátum: 14.11.1990

Autori: Lajda Jaroslav, Kirner Jozef

PP 4775-88

(11)	Číslo patentu	272494
(21)	Číslo prihlášky	4775-88
(22)	Dátum podania prihlášky	04.07.1988
(24)	Dátum nadobudnutia účinkov patentu	
(31)	Číslo prioritnej prihlášky	
(32)	Dátum podania prioritnej prihlášky	
(33)	Krajina alebo organizácia priority	
(40)	Dátum zverejnenia prihlášky	
(47)	Dátum udelenia a sprístupnenia patentu verejnosti	04.07.1988
(51)	Medzinárodné patentové triedenie	
(54)	Názov	Neuvedený
(57)	Anotácia	
(62)	Číslo pôvodnej prihlášky v prípade vylúčenej prihlášky	
(71/73)	Prihlasovateľ (-ia)/ majiteľ (-ia)	VU výpočtovej techniky , s.p.; , 010 01 Žilina; SK
(72)	Pôvodca (-ovia)	
(74)	Zástupca (-ovia)	
(86)	Číslo podania medzinárodnej prihlášky podľa PCT	
(87)	Číslo zverejnenia medzinárodnej prihlášky podľa PCT	
	Stav	udelený patent
	Právny stav patentu	zaniknutý
	Patentový spis	
	Zverejnená prihláška	
	Opravné dokumenty	
	Ponuka licencie	Nie

Zrušenie patentu	
Čiastočné zrušenie patentu	
Zánik patentu	04.07.1993
Zriadenie záložného práva	Nie
Číslo súvisiacej prihlášky	
Minimálna platnosť do	04.07.1993
Maximálna platnosť do	04.07.2003
Dôvod ukončenia platnosti / konania	Nezaplatením udrž. poplatku (PP)

Zapojenie integrovaného obvodu testerového rezu

Podobne patenty | MPK / Značky | Text | Odkaz

Číslo patentu: 272459

Dátum: 15.01.1991

Autori: Heglas Ladislav, Štěpánek Jaroslav

MPK / Značky

MPK: H03K 6/00

Značky: zapojenie, obvodů, testerového, integrovaného

Odkaz

[Zapojenie integrovaného obvodu testerového rezu](https://skpatents.com/1-272459-zapojenie-integrovaného-obvodu-testerového-rezu.html "Databáza patentov Slovenska")

Obvod riadenia dynamických pamätí

Podobne patenty | MPK / Značky | Text | Odkaz

Číslo patentu: 272494

Dátum: 15.01.1991

Autori: Kirner Jozef, Lajda Jaroslav

PP 4775-88

(11)	Číslo patentu	272494
(21)	Číslo prihlášky	4775-88
(22)	Dátum podania prihlášky	04.07.1988
(24)	Dátum nadobudnutia účinkov patentu	
(31)	Číslo prioritnej prihlášky	
(32)	Dátum podania prioritnej prihlášky	
(33)	Krajina alebo organizácia priority	
(40)	Dátum zverejnenia prihlášky	
(47)	Dátum udelenia a sprístupnenia patentu verejnosti	04.07.1988
(51)	Medzinárodné patentové triedenie	
(54)	Názov	Neuvedený
(57)	Anotácia	
(62)	Číslo pôvodnej prihlášky v prípade vylúčenej prihlášky	
(71/73)	Prihlasovateľ (-ia)/ majiteľ (-ia)	VU výpočtovej techniky , s.p.; , 010 01 Žilina; SK
(72)	Pôvodca (-ovia)	
(74)	Zástupca (-ovia)	
(86)	Číslo podania medzinárodnej prihlášky podľa PCT	
(87)	Číslo zverejnenia medzinárodnej prihlášky podľa PCT	
	Stav	udelený patent
	Právny stav patentu	zaniknutý
	Patentový spis	
	Zverejnená prihláška	
	Opravné dokumenty	
	Ponuka licencie	Nie
	Zrušenie patentu	
	Čiastočné zrušenie patentu	
	Zánik patentu	04.07.1993
	Zriadenie záložného práva	Nie
	Číslo súvisiacej prihlášky	
	Minimálna platnosť do	04.07.1993
	Maximálna platnosť do	04.07.2003

Dôvod ukončenia platnosti / konania

Nezaplatením udrž. poplatku (PP)

ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA

FEDERÁLNÍ ÚŘAD PRO VYNÁLEZY V PRAZE



AUTORSKÉ OSVĚDČENÍ

ČÍSLO 2 7 4 0 6 9

FEDERÁLNÍ ÚŘAD PRO VYNÁLEZY V PRAZE
UDĚLIL PODLE § 37, ODS. 1 ZÁKONA
Č. 84/1972 SB. AUTORSKÉ OSVĚDČENÍ
NA VYNÁLEZ, JEHOŽ POPIS JE PŘIPOJEN.
AUTOR VYNÁLEZU:

Schwartz Ladislav ing.CSc., Žilina

Trstenský Dušan doc.ing.CSc., Žilina

AUTORSKÉ OSVĚDČENÍ BYLO ZAPSÁNO
DO REJSTŘÍKU VYNÁLEZŮ POD SHORA
UVEDENÝM ČÍSLEM.

VYNÁLEZ JE NÁRODNÍM MAJETKEM.
STÁT MÁ PRÁVO VYUŽÍVAT A POVINNOST
PEČOVAT O CO NEJŠIRŠÍ VYUŽÍVÁNÍ
VYNÁLEZU (§ 6 ZÁKONA Č. 84/1972 SB.).

PŘIHLÁŠKA VYNÁLEZU PV 2680 -89

PŘEDSEDA

PRAZE 8. července 1992

POPIS VYNÁLEZU

K AUTORSKÉMU OSVEDČENIU

274 069



FEDERÁLNY ÚRAD
PRE VYNÁLEZY

(21) PV 2680-89.D
(22) Prihlásené 02 05 89

(40) Zverejnené 14 08 90
(45) Vydané 10 06 92

(11)
(13) B 1
(51) Int. Cl. 5
G 06 F 13/00 //
G 06 F 13/12

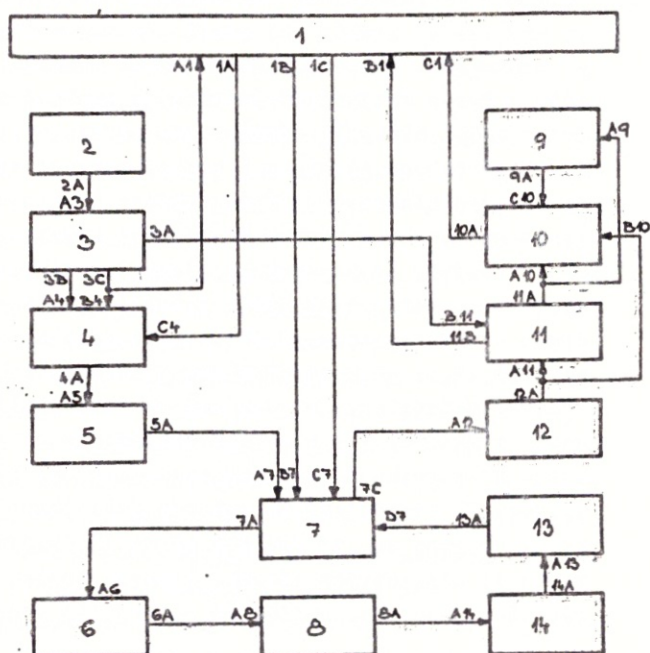
(75) Autor vynálezu

SCHWARTZ LADISLAV ing. CSc.,
TRSTENSKÝ DUŠAN doc. ing. CSc., ŽILINA

(54) Zapojenie fyzického medzistyku lokálnej siete

(57) Zapojenie umožňuje realizovať fyzický medzistyk lokálnej siete. Umožňuje veľmi rýchly sériový prenos dát pri poloduplexnej prevádzke v mnohobodovom zapojení uzlov lokálnej siete. Realizuje plný dvojkový prenos v základnom pásme. Umožňuje samotestovanie pomocou elektronickej vytvorenej testovacej slučky. Zapojenie je jednoduché za dodrženia vysokých technických a úžitkových vlastností.

Zapojenie fyzického medzistyku lokálnej siete zabezpečuje kódovanie vysielaných dát z bloku (1) dátového adaptora spolu s hodinami z bloku (2) generátora hodín v bloku (4) kódéra. Taktiež zabezpečuje dekódovanie prijímanej informácie v bloku (12) dekódera na dáta spolu s blokom (10) prijímacieho kľopného obvodu a na hodiny spolu s blokom (11) číslicového závesu.



Adaptér lokálnej počítačovej siete

Podobne patenty | MPK / Značky | Text | Odkaz

Číslo patentu: 274748

Dátum: 15.10.1991

Autor: Podstanický Ivan

PP 4724-89

(11)	Číslo patentu	274748
(21)	Číslo prihlášky	4724-89
(22)	Dátum podania prihlášky	09.08.1989
(24)	Dátum nadobudnutia účinkov patentu	
(31)	Číslo prioritnej prihlášky	
(32)	Dátum podania prioritnej prihlášky	
(33)	Krajina alebo organizácia priority	
(40)	Dátum zverejnenia prihlášky	
(47)	Dátum udelenia a prístupnosti patentu verejnosti	09.08.1989
(51)	Medzinárodné patentové triedenie	
(54)	Názov	Neuvedený
(57)	Anotácia	
(62)	Číslo pôvodnej prihlášky v prípade vylúčenej prihlášky	
(71/73)	Prihlasovateľ (-ia)/ majiteľ (-ia)	Podstanický Ivan, RNDr.; , 010 01 Žilina; SK
(72)	Pôvodca (-ovia)	
(74)	Zástupca (-ovia)	
(86)	Číslo podania medzinárodnej prihlášky podľa PCT	
(87)	Číslo zverejnenia medzinárodnej prihlášky podľa PCT	
	Stav	udelený patent
	Právny stav patentu	zaniknutý
	Patentový spis	
	Zverejnená prihláška	
	Opravné dokumenty	
	Ponuka licencie	Nie
	Zrušenie patentu	
	Čiastočné zrušenie patentu	
	Zánik patentu	09.08.1994
	Zriadenie záložného práva	Nie
	Číslo súvisiacej prihlášky	
	Minimálna platnosť do	09.08.1994

Maximálna platnosť do
Dôvod ukončenia platnosti / konania

09.08.2004
Nezaplatením udrž. poplatku (PP)

Arbiter dvojportového pamäťového zariadenia

Podobne patenty | MPK / Značky | Text | Odkaz

Číslo patentu: 275754

Dátum: 18.03.1992

Autori: Hoghová Dagmar, Kirner Jozef

PP 5262-88

(11)	Číslo patentu	275754
(21)	Číslo prihlášky	5262-88
(22)	Dátum podania prihlášky	22.07.1988
(24)	Dátum nadobudnutia účinkov patentu	
(31)	Číslo prioritnej prihlášky	
(32)	Dátum podania prioritnej prihlášky	
(33)	Krajina alebo organizácia priority	
(40)	Dátum zverejnenia prihlášky	
(47)	Dátum udelenia a sprístupnenia patentu verejnosti	22.07.1988
(51)	Medzinárodné patentové triedenie	
(54)	Názov	Neuvedený
(57)	Anotácia	
(62)	Číslo pôvodnej prihlášky v prípade vylúčenej prihlášky	
(71/73)	Prihlasovateľ (-ia)/ majiteľ (-ia)	VU výpočtovej techniky , s.p.; , 010 01 Žilina; SK
(72)	Pôvodca (-ovia)	
(74)	Zástupca (-ovia)	
(86)	Číslo podania medzinárodnej prihlášky podľa PCT	
(87)	Číslo zverejnenia medzinárodnej prihlášky podľa PCT	
	Stav	udelený patent
	Právny stav patentu	zaniknutý
	Patentový spis	
	Zverejnená prihláška	
	Opravné dokumenty	
	Ponuka licencie	Nie
	Zrušenie patentu	
	Čiastočné zrušenie patentu	
	Zánik patentu	18.09.1992
	Zriadenie záložného práva	Nie
	Číslo súvisiacej prihlášky	

Minimálna platnosť do	18.09.1992
Maximálna platnosť do	22.07.2003
Dôvod ukončenia platnosti / konania	Nezaplacením udrž. poplatku (PP)